

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02018/116540

発行日 平成30年12月20日 (2018.12.20)

(43) 国際公開日 平成30年6月28日 (2018.6.28)

(51) Int.Cl.			F I			テーマコード (参考)
<b>H03M</b>	<b>1/10</b>	<b>(2006.01)</b>	H03M	1/10	A	4C161
<b>H03M</b>	<b>1/38</b>	<b>(2006.01)</b>	H03M	1/38		5C024
<b>H04N</b>	<b>5/378</b>	<b>(2011.01)</b>	H04N	5/378		5J022
<b>A61B</b>	<b>1/045</b>	<b>(2006.01)</b>	A61B	1/045	630	

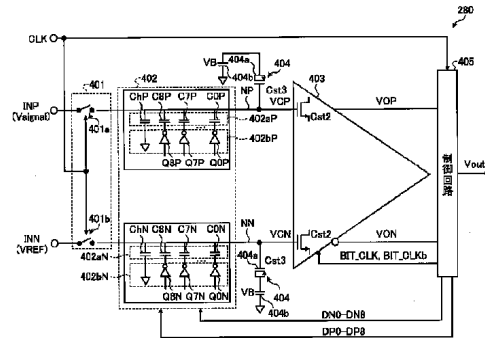
審査請求 有 予備審査請求 未請求 (全 38 頁)

出願番号	特願2018-537891 (P2018-537891)	(71) 出願人	000000376 オリンパス株式会社 東京都八王子市石川町2951番地
(21) 国際出願番号	PCT/JP2017/032169	(74) 代理人	110002147 特許業務法人酒井国際特許事務所
(22) 国際出願日	平成29年9月6日 (2017.9.6)	(72) 発明者	平出 修三 東京都八王子市石川町2951番地 オリンパス株式会社内
(31) 優先権主張番号	特願2016-247964 (P2016-247964)	(72) 発明者	原田 靖也 東京都八王子市石川町2951番地 オリンパス株式会社内
(32) 優先日	平成28年12月21日 (2016.12.21)	(72) 発明者	大澤 雅人 東京都八王子市石川町2951番地 オリンパス株式会社内
(33) 優先権主張国	日本国 (JP)	Fターム(参考)	4C161 CC06 NN01 SS03 SS11 最終頁に続く

(54) 【発明の名称】 逐次比較型A/D変換装置、撮像装置、内視鏡および設定方法

(57) 【要約】

出力信号の線形性が劣化することを防止することができる逐次比較型A/D変換装置、撮像装置、内視鏡および設定方法を提供する。逐次比較型のA/D変換装置27は、サンプリング回路401によりサンプリングされた一対のアナログ信号を保持するバイナリ容量を有する容量回路402と、一対の電圧信号をなす一方の信号と他方の信号とを比較する比較回路403と、比較回路403の入力トランジスタにおける寄生容量を相殺した一対の電圧信号を比較回路403へ出力する補正回路404と、バイナリ容量に対応するデジタル信号の各ビットの値を2分探索法により逐次的に判定し、デジタル信号の各ビットの値を前記参照信号に反映させる制御回路405と、を備える。



405 Control circuit

**【特許請求の範囲】****【請求項 1】**

差動入力信号として入力された一対のアナログ信号をサンプリングするサンプリング回路と、

前記サンプリング回路によりサンプリングされた一対のアナログ信号を保持するバイナリ容量を有し、前記バイナリ容量を介して前記一対のアナログ信号に参照信号の信号レベルを反映させることにより一対の電圧信号を発生させる容量回路と、

前記一対の電圧信号が入力される入力トランジスタを有し、前記一対の電圧信号をなす一方の信号と他方の信号とを比較する比較回路と、

前記比較回路の前段側に設けられ、前記入力トランジスタにおける寄生容量を相殺した前記一対の電圧信号を前記比較回路へ出力する補正回路と、

前記比較回路による比較の結果に基づき、前記バイナリ容量に対応するデジタル信号の各ビットの値を2分探索法により逐次的に判定し、前記デジタル信号の各ビットの値を前記参照信号に反映させる制御回路と、

を備えることを特徴とする逐次比較型 A / D 変換装置。

**【請求項 2】**

前記補正回路は、

前記寄生容量を相殺する補正用トランジスタと、

前記補正用トランジスタに所定のバイアス電圧を印加するバイアス回路と、

を有することを特徴とする請求項 1 に記載の逐次比較型 A / D 変換装置。

**【請求項 3】**

前記バイアス回路は、前記バイアス電圧が調整可能であることを特徴とする請求項 2 に記載の逐次比較型 A / D 変換装置。

**【請求項 4】**

前記補正用トランジスタの容量の電圧依存性は、前記寄生容量の電圧依存と逆特性を有することを特徴とする請求項 3 に記載の逐次比較型 A / D 変換装置。

**【請求項 5】**

請求項 1 に記載の逐次比較型 A / D 変換装置と、

二次元マトリクス状に配置されてなり、外部から入力される光を受光して光電変換を行って撮像信号を出力する複数の画素を有する撮像素子と、

を備え、

前記撮像素子は、

前記複数の画素の配置における列毎に設けられ、前記撮像信号に含まれるノイズ成分を除去するノイズ除去部と、

前記複数の画素の配置における列毎に設けられ、前記ノイズ除去部が前記ノイズ成分を除去した前記撮像信号を増幅して出力する複数の列ソースフォロワバッファと、

前記複数の列ソースフォロワバッファを順次選択して前記撮像信号を出力させる水平走査部と、

前記水平走査部によって順次選択された前記列ソースフォロワバッファと接続することによってボルテージフォロワ回路を形成し、前記列ソースフォロワバッファから出力された前記撮像信号の電圧に対してインピーダンス変換を行って前記逐次比較型 A / D 変換装置へ出力するバッファ部と、

を備えることを特徴とする撮像装置。

**【請求項 6】**

前記撮像素子は、

前記画素で生成された前記信号と同相の揺らぎ成分を有する基準信号を生成して前記逐次比較型 A / D 変換装置へ出力する基準信号生成部をさらに備え、

前記逐次比較型 A / D 変換装置は、前記撮像信号および前記基準信号を前記差動入力信号として入力することを特徴とする請求項 5 に記載の撮像装置。

**【請求項 7】**

10

20

30

40

50

前記基準信号生成部は、前記画素と等価な構造の素子または回路を有することを特徴とする請求項 6 に記載の撮像装置。

【請求項 8】

請求項 5 に記載の撮像装置と、  
被検体に挿入可能であり、先端部に前記撮像装置を配置してなる挿入部と、  
を備えることを特徴とする内視鏡。

【請求項 9】

差動入力信号として入力された一对のアナログ信号をサンプリングするサンプリング回路と、前記サンプリング回路によりサンプリングされた一对のアナログ信号を保持するバイナリ容量を有し、前記バイナリ容量を介して前記一对のアナログ信号に参照信号の信号レベルを反映させることにより一对の電圧信号を発生させる容量回路と、前記一对の電圧信号が入力される入力トランジスタを有し、前記一对の電圧信号をなす一方の信号と他方の信号とを比較する比較回路と、前記比較回路の前段側に設けられ、前記入力トランジスタにおける寄生容量を相殺する補正用トランジスタと、前記補正用トランジスタに所定のバイアス電圧を印加するバイアス回路と、を有し、前記一对の電圧信号を前記比較回路へ出力する補正回路と、前記比較回路による比較の結果に基づき、前記バイナリ容量に対応するデジタル信号の各ビットの値を 2 分探索法により逐次的に判定し、前記デジタル信号の各ビットの値を前記参照信号に反映させる制御回路と、を備えることを特徴とする逐次比較型 A / D 変換装置に実行する設定方法であって、

前記バイアス回路が印加する前記バイアス電圧の値を設定する第 1 の設定ステップと、  
前記補正用トランジスタに前記第 1 の設定ステップで設定した値の前記バイアス電圧を順次印加する印加ステップと、

前記逐次比較型 A / D 変換装置にテスト信号を順次入力して A / D 変換を実行させる A / D 変換ステップと、

前記 A / D 変換ステップで変換された出力コードを順次測定した測定結果に基づいて、前記出力コード毎の積分非直線誤差を算出する第 1 の算出ステップと、

前記積分非直線誤差に基づいて、前記積分非直線誤差の最大値および最小値の各々を、前記出力コード毎に算出する第 2 の算出ステップと、

前記第 2 の算出ステップにおいて算出された複数の前記最大値と前記最小値の絶対値の差分が小さく、かつ、前記最大値と前記最小値の絶対値の平均値が小さい前記バイアス電圧の値を前記バイアス回路が印加する前記バイアス電圧の値に設定する第 2 の設定ステップと、

を含むことを特徴とする設定方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、外部から入力されるアナログの信号をデジタルの信号に変換する逐次比較型 A / D 変換装置、撮像装置、内視鏡および設定方法に関する。

【背景技術】

【0002】

消費電力の低い A / D 変換装置として、例えば非特許文献 1 に開示された差動入力非同期方式の逐次比較型 A / D 変換装置が知られている。この逐次比較型 A / D 変換装置は、差動入力信号として入力された一对のアナログ信号をサンプルホールド回路で保持し、保持したアナログ信号に容量回路を通じて基準信号を反映させることにより比較回路に比較電圧信号を発生させ、この比較電圧信号に基づいて、逐次比較論理回路が 2 分探索アルゴリズムに従って差動入力信号に対応するデジタル信号の MSB から LSB までの各ビットの値 (0 または 1) を決定すると共に、決定された各ビットの値を基準信号にフィードバックする。

【0003】

逐次比較型 A / D 変換装置は、オペアンプ等のアナログ回路を使用することなく、その

大部分をデジタル回路で構成することができる。このため、微細CMOS (Complementary Metal Oxide Semiconductor) プロセスを用いて逐次比較型A/D変換装置を小型に実現することができ、また消費電力を低減させることができる。このような低消費電力化および小型化を可能とする観点から、逐次比較型A/D変換装置は、例えば携帯機器などのシステムLSI (Large Scale Integration) に用いられている。

【先行技術文献】

【非特許文献】

【0004】

【非特許文献1】 “A 26uW 8bit 10MS/s Asynchronous SAR ADC for Low Energy Radios”, IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol46, No7 JULY 2011 pp1585-1595

10

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、上述した逐次比較型A/D変換装置は、A/D変換を実行する際に、ビット変換毎にコンパレータの入力電圧が変化することで、A/D変換を実行中にコンパレータの入力容量も変動する。このため、上述した逐次比較型A/D変換装置は、コンパレータの入力端子に接続される容量が変化することによって、ゲイン係数がA/D変換の最中に変動し、出力信号に誤差が生じることで、出力信号の線形性が劣化するという問題点があった。

20

【0006】

本発明は、上記に鑑みてなされたものであって、出力信号の線形性が劣化することを防止することができる逐次比較型A/D変換装置、撮像装置、内視鏡および設定方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

上述した課題を解決し、目的を達成するために、本発明に係る逐次比較型A/D変換装置は、差動入力信号として入力された一对のアナログ信号をサンプリングするサンプリング回路と、前記サンプリング回路によりサンプリングされた一对のアナログ信号を保持するバイナリ容量を有し、前記バイナリ容量を介して前記一对のアナログ信号に参照信号の信号レベルを反映させることにより一对の電圧信号を発生させる容量回路と、前記一对の電圧信号が入力される入力トランジスタを有し、前記一对の電圧信号をなす一方の信号と他方の信号とを比較する比較回路と、前記比較回路の前段側に設けられ、前記入力トランジスタにおける寄生容量を相殺した前記一对の電圧信号を前記比較回路へ出力する補正回路と、前記比較回路による比較の結果に基づき、前記バイナリ容量に対応するデジタル信号の各ビットの値を2分探索法により逐次的に判定し、前記デジタル信号の各ビットの値を前記参照信号に反映させる制御回路と、を備えることを特徴とする。

30

【0008】

また、本発明に係る逐次比較型A/D変換装置は、上記発明において、前記補正回路は、前記寄生容量を相殺する補正用トランジスタと、前記補正用トランジスタに所定のバイアス電圧を印加するバイアス回路と、を有することを特徴とする。

40

【0009】

また、本発明に係る逐次比較型A/D変換装置は、上記発明において、前記バイアス回路は、前記バイアス電圧が調整可能であることを特徴とする。

【0010】

また、本発明に係る逐次比較型A/D変換装置は、上記発明において、前記補正用トランジスタの容量の電圧依存性は、前記寄生容量の電圧依存と逆特性を有することを特徴とする。

【0011】

また、本発明に係る撮像装置は、上記発明の逐次比較型A/D変換装置と、二次元マト

50

リクス状に配置されてなり、外部から入力される光を受光して光電変換を行って撮像信号を出力する複数の画素を有する撮像素子と、を備え、前記撮像素子は、前記複数の画素の配置における列毎に設けられ、前記撮像信号に含まれるノイズ成分を除去するノイズ除去部と、前記複数の画素の配置における列毎に設けられ、前記ノイズ除去部が前記ノイズ成分を除去した前記撮像信号を増幅して出力する複数の列ソースフォロワバッファと、前記複数の列ソースフォロワバッファを順次選択して前記撮像信号を出力させる水平走査部と、前記水平走査部によって順次選択された前記列ソースフォロワバッファと接続することによってボルテージフォロワ回路を形成し、前記列ソースフォロワバッファから出力された前記撮像信号の電圧に対してインピーダンス変換を行って前記逐次比較型 A / D 変換装置へ出力するバッファ部と、を備えることを特徴とする。

10

**【 0 0 1 2 】**

また、本発明に係る撮像装置は、上記発明において、前記撮像素子は、前記画素で生成された前記信号と同相の揺らぎ成分を有する基準信号を生成して前記逐次比較型 A / D 変換装置へ出力する基準信号生成部をさらに備え、前記逐次比較型 A / D 変換装置は、前記撮像信号および前記基準信号を前記差動入力信号として入力することを特徴とする。

**【 0 0 1 3 】**

また、本発明に係る内視鏡は、上記発明の撮像装置と、被検体に挿入可能であり、先端部に前記撮像装置を設けた挿入部と、を備えることを特徴とする。

**【 0 0 1 4 】**

また、本発明に係る設定方法は、差動入力信号として入力された一対のアナログ信号をサンプリングするサンプリング回路と、前記サンプリング回路によりサンプリングされた一対のアナログ信号を保持するバイナリ容量を有し、前記バイナリ容量を介して前記一対のアナログ信号に参照信号の信号レベルを反映させることにより一対の電圧信号を発生させる容量回路と、前記一対の電圧信号が入力される入力トランジスタを有し、前記一対の電圧信号をなす一方の信号と他方の信号とを比較する比較回路と、前記比較回路の前段側に設けられ、前記入力トランジスタにおける寄生容量を相殺する補正用トランジスタと、前記補正用トランジスタに所定のバイアス電圧を印加するバイアス回路と、を有し、前記一対の電圧信号を前記比較回路へ出力する補正回路と、前記比較回路による比較の結果に基づき、前記バイナリ容量に対応するデジタル信号の各ビットの値を 2 分探索法により逐次的に判定し、前記デジタル信号の各ビットの値を前記参照信号に反映させる制御回路と、を備えることを特徴とする逐次比較型 A / D 変換装置に実行する設定方法であって、前記バイアス回路が印加する前記バイアス電圧の値を設定する第 1 の設定ステップと、前記補正用トランジスタに前記第 1 の設定ステップで設定した値の前記バイアス電圧を順次印加する印加ステップと、前記逐次比較型 A / D 変換装置にテスト信号を順次入力して A / D 変換を実行させる A / D 変換ステップと、前記 A / D 変換ステップで変換された出力コードを順次測定した測定結果に基づいて、前記出力コード毎の積分非直線誤差を算出する第 1 の算出ステップと、前記積分非直線誤差に基づいて、前記積分非直線誤差の最大値および最小値の各々を、前記出力コード毎に算出する第 2 の算出ステップと、前記第 2 の算出ステップにおいて算出された複数の前記最大値と前記最小値の絶対値の差分が小さく、かつ、前記最大値と前記最小値の絶対値の平均値が小さい前記バイアス電圧の値を前記バイアス回路が印加する前記バイアス電圧の値に設定する第 2 の設定ステップと、を含むことを特徴とする。

20

30

40

**【 発明の効果 】****【 0 0 1 5 】**

本発明によれば、出力信号の線形成が劣化することを防止することができるという効果を奏する。

**【 図面の簡単な説明 】****【 0 0 1 6 】**

【 図 1 】 図 1 は、本発明の実施の形態 1 に係る内視鏡システムの全体構成を模式的に示す概略図である。

50

【図 2】図 2 は、本発明の実施の形態 1 に係る内視鏡システムの要部の機能を示すブロック図である。

【図 3】図 3 は、図 2 に示す撮像素子の詳細な構成を示すブロック図である。

【図 4】図 4 は、本発明の実施の形態 1 に係る撮像素子の構成を模式的に示す回路図である。

【図 5】図 5 は、本発明の実施の形態 1 に係る基準電圧生成部の構成を示す回路図である。

【図 6】図 6 は、本発明の実施の形態 1 に係る基準信号生成部の構成を模式的に示す回路図である。

【図 7】図 7 は、本発明の実施の形態 1 に係る第 1 の A / D 変換部の構成を模式的に示す回路図である。

【図 8】図 8 は、本発明の実施の形態 1 に係る比較回路の入力容量と補正回路の補正用トランジスタの入力容量との電圧依存特性の関係を示す図である。

【図 9】図 9 は、従来 of 逐次比較型 of A / D 変換装置が出力する出力信号 of INL 特性を示す図である。

【図 10】図 10 は、本発明の実施の形態 1 に係る第 1 の A / D 変換部が出力する出力信号 of INL 特性を示す図である。

【図 11 A】図 11 A は、本発明の実施の形態 1 に係る撮像装置の動作を示すタイミングチャートである。

【図 11 B】図 11 B は、図 11 A の領域 R 1 のタイミングチャートの一部を拡大した模式図である。

【図 12】図 12 は、本発明の実施の形態 1 の変形例 1 に係る基準信号生成部の構成を模式的に示す回路図である。

【図 13】図 13 は、本発明の実施の形態 1 の変形例 2 に係る基準信号生成部の構成を模式的に示す回路図である。

【図 14】図 14 は、本発明の実施の形態 2 に係る撮像素子の構成を模式的に示す回路図である。

【図 15】図 15 は、本発明の実施の形態 2 に係る基準信号生成部の構成を模式的に示す回路図である。

【図 16 A】図 16 A は、本発明の実施の形態 2 に係る撮像装置の動作を示すタイミングチャートである。

【図 16 B】図 16 B は、図 16 A の領域 R 2 のタイミングチャートの一部を拡大した模式図である。

【図 17】図 17 は、本発明の実施の形態 3 に係る第 1 の A / D 変換部の構成を模式的に示す回路図である。

【図 18】図 18 は、本発明の実施の形態 3 に係る補正回路のバイアス電圧の調整方法を示すフローチャートである。

【図 19 A】図 19 A は、本発明の実施の形態 3 に係る補正回路のバイアス電圧 ( 1 ) を変化させたときの INL 特性を模式的に示す図である。

【図 19 B】図 19 B は、本発明の実施の形態 3 に係る補正回路のバイアス電圧 ( N ) を変化させたときの INL 特性を模式的に示す図である。

【図 19 C】図 19 C は、本発明の実施の形態 3 に係る補正回路のバイアス電圧 ( n ) を変化させたときの INL 特性を模式的に示す図である。

【発明を実施するための形態】

【0017】

以下、本発明を実施するための形態 ( 以下、「実施の形態」という ) として、被検体内に挿入される挿入部の先端部に撮像装置を有する内視鏡を備えた内視鏡システムについて説明する。また、この実施の形態により、本発明が限定されるものではない。さらに、図面の記載において、同一の部分には同一の符号を付して説明する。さらにまた、図面は、模式的なものであり、各部材の厚みと幅との関係、各部材の比率等は、現実と異なること

10

20

30

40

50

に留意する必要がある。また、図面の相互間において、互いの寸法や比率が異なる部分が含まれている。

【0018】

(実施の形態1)

〔内視鏡システムの構成〕

図1は、本発明の実施の形態1に係る内視鏡システムの全体構成を模式的に示す概略図である。図1に示す内視鏡システム1は、内視鏡2と、伝送ケーブル3と、コネクタ部5と、プロセッサ6と、表示装置7と、光源装置8と、を備える。

【0019】

内視鏡2は、伝送ケーブル3の一部である挿入部100を被検体の体腔内に挿入することによって被検体の体内を撮像して撮像信号をプロセッサ6へ出力する。また、内視鏡2は、伝送ケーブル3の一端側であり、被検体の体腔内に挿入される挿入部100の先端部101側に、被検体の体内を撮像して撮像信号を生成する撮像装置20が設けられている。さらに、内視鏡2は、挿入部100の基端部102側に、内視鏡2に対する各種操作を受け付ける操作部4が設けられている。撮像装置20が撮像した体内画像の撮像信号は、例えば数mの長さを有する伝送ケーブル3を介してコネクタ部5に出力される。

10

【0020】

伝送ケーブル3は、内視鏡2とコネクタ部5とを接続するとともに、内視鏡2とプロセッサ6および光源装置8とを接続する。また、伝送ケーブル3は、撮像装置20が生成した撮像信号をコネクタ部5へ伝送する。伝送ケーブル3は、ケーブルや光ファイバ等を用いて構成される。

20

【0021】

コネクタ部5は、内視鏡2、プロセッサ6および光源装置8に接続され、接続された内視鏡2が出力する撮像信号に所定の信号処理を施してプロセッサ6へ出力する。

【0022】

プロセッサ6は、コネクタ部5から入力された撮像信号に所定の画像処理を施して表示装置7へ出力する。また、プロセッサ6は、内視鏡システム1全体を統括的に制御する。例えば、プロセッサ6は、光源装置8が射出する照明光を切り替えたり、内視鏡2の撮像モードを切り替えたりする制御を行う。

30

【0023】

表示装置7は、プロセッサ6が画像処理を施した撮像信号に対応する画像を表示する。また、表示装置7は、内視鏡システム1に関する各種情報を表示する。表示装置7は、液晶や有機EL(Electro Luminescence)等の表示パネル等を用いて構成される。

【0024】

光源装置8は、コネクタ部5および伝送ケーブル3を経由して内視鏡2の挿入部100の先端部101側から被検体(被写体)に向けて照明光を照射する。光源装置8は、白色光を発する白色LED(Light Emitting Diode)等を用いて構成される。なお、本実施の形態1では、光源装置8に同時方式の照明方式が採用されるが、面順次方式の照明方式であってもよい。

40

【0025】

〔内視鏡システムの要部〕

次に、内視鏡システム1の要部の機能について説明する。図2は、内視鏡システム1の要部の機能を示すブロック図である。

【0026】

〔内視鏡の構成〕

まず、内視鏡2の構成について説明する。

図2に示す内視鏡2は、撮像装置20と、伝送ケーブル3と、コネクタ部5と、を備える。撮像装置20は、撮像素子21(撮像チップ)と、撮像素子21に被写体像を結像する光学系22と、を備える。

【0027】

50

撮像素子 2 1 は、行列方向に二次元マトリクス状に配置されてなり、外部から光を受光し、受光量に応じた撮像信号を生成して出力する複数の画素を有する受光部 2 3 と、受光部 2 3 によって光電変換された撮像信号を列毎に順次読み出す読み出し部 2 4 と、読み出し部 2 4 が順次読み出した撮像信号の電圧をインピーダンス変換してボルテージフォロウにより 1 倍に増幅して出力するバッファ部 2 5 と、受光部 2 3 によって生成された撮像信号と同相の揺らぎ成分を有し、撮像信号の補正処理に用いられる基準信号を生成して出力する基準信号生成部 2 6 と、バッファ部 2 5 から出力された撮像信号および基準信号生成部 2 6 から生成された基準信号を同一タイミングでサンプリングし、デジタルの撮像信号に変換して外部へ出力する A / D 変換装置 2 7 と、基準クロック信号および同期信号に基づきタイミング信号を生成するタイミング生成部 2 8 と、伝送ケーブル 3 を介してコネクタ部 5 から入力された基準クロック信号および同期信号の波形整形を行い、この波形整形を行った基準クロック信号および同期信号をタイミング生成部 2 8 へ出力するヒステリシス部 2 9 と、を有する。また、撮像素子 2 1 は、伝送ケーブル 3 を介して後述するプロセッサ 6 の電源部 6 1 において生成された電源電圧 V D D (例えば 3 . 3 V) をグランド G N D とともに受け取る。撮像素子 2 1 に供給される電源電圧 V D D とグランド G N D との間には、電源安定用のコンデンサ C 1 が設けられている。なお、撮像素子 2 1 の詳細な構成については、図 3 を参照して後述する。

10

#### 【 0 0 2 8 】

光学系 2 2 は、複数のレンズおよびプリズムを用いて構成され、撮像素子 2 1 の受光部 2 3 に被写体像を結像する。

20

#### 【 0 0 2 9 】

コネクタ部 5 は、プロセッサ 6 から供給され、内視鏡 2 の各構成部の動作の基準となる基準クロック信号 (例えば、2 7 M H z のクロック信号) に基づいて、各フレームのスタート位置を表す同期信号 (水平同期信号および垂直同期信号を含む) を生成して、基準クロック信号とともに、伝送ケーブル 3 を介して撮像装置 2 0 のタイミング生成部 2 8 へ出力するパルス生成部 5 1 と、F P G A (Field Programmable Gate Array) や A S I C (Application Specific Integrated Circuit) 等を用いて構成され、伝送ケーブル 3 を介して撮像装置 2 0 から出力されたデジタルの撮像信号に対して所定の信号処理、例えばノイズ低減処理を行ってプロセッサ 6 へ出力する信号処理部 5 2 と、レギュレータ (Regulator) 等を用いて構成され、プロセッサ 6 から供給される電源から、撮像素子 2 1 を

30

#### 【 0 0 3 0 】

〔プロセッサの構成〕

次に、プロセッサ 6 の構成について説明する。

プロセッサ 6 は、電源電圧を生成し、この生成した電源電圧 V D D をグランド G N D とともに、コネクタ部 5 の電源電圧生成部 5 3 へ供給する電源部 6 1 と、内視鏡システム 1 の各構成部の動作の基準となる基準クロック信号を生成し、この基準クロック信号をコネクタ部 5 のパルス生成部 5 1 へ出力するクロック生成部 6 2 と、C P U (Central Processing Unit) 等を用いて構成され、内視鏡システム 1 の全体を統括的に制御するプロセッサ制御部 6 3 と、内視鏡 2 から入力されたデジタルの撮像信号に対して、同時化処理、ホワイトバランス (W B) 調整処理、ゲイン調整処理、ガンマ補正処理、デジタルアナログ (D / A) 変換処理、フォーマット変換処理等の画像処理を行って画像信号に変換し、この画像信号を表示装置 7 へ出力する画像処理部 6 4 と、を備える。

40

#### 【 0 0 3 1 】

〔撮像素子の構成〕

次に、上述した撮像素子 2 1 の詳細な構成について説明する。図 3 は、図 2 に示す撮像素子 2 1 の詳細な構成を示すブロック図である。

#### 【 0 0 3 2 】

図 3 に示すように、撮像素子 2 1 は、受光部 2 3 と、読み出し部 2 4 と、バッファ部 2

50

5と、基準信号生成部26と、A/D変換装置27と、タイミング生成部28と、ヒステリシス部29と、を備える。

【0033】

受光部23は、行列方向に2次元マトリクス状に配置され、外部から光を受光し、受光量に応じた撮像信号を生成して出力する複数の画素を有する。なお、受光部23における画素の構成は、後述する図4において詳細に説明する。

【0034】

読み出し部24は、後述する受光部23の複数の画素の各々から撮像信号を順次読み出してバッファ部25へ出力する。読み出し部24は、垂直走査部241（行選択回路）と、定電流源242と、ノイズ除去部243と、列ソースフォロワバッファ244と、水平走査部245と、基準電圧生成部246と、を有する。

10

【0035】

垂直走査部241は、タイミング生成部28から入力される駆動信号（ $T$ 、 $R$ 等）に基づいて、受光部23の選択された行（水平ライン） $\langle M \rangle$ （ $M = 0, 1, 2, \dots, m - 1, m$ ）に駆動信号 $T \langle M \rangle$ および $R \langle M \rangle$ を印加して、受光部23の各画素230を定電流源242で駆動することによって、撮像信号および画素リセット時のノイズ信号を後述する垂直転送線239（第1の転送線）へ転送し、ノイズ除去部243に出力する。

【0036】

ノイズ除去部243は、後述する各画素230の出力ばらつきと、画素リセット時のノイズ信号とを除去し、後述する各画素230で光電変換された撮像信号を列ソースフォロワバッファ244へ出力する。

20

【0037】

列ソースフォロワバッファ244は、水平走査部245から入力される駆動信号に基づいて、ノイズ除去部243からノイズが除去された撮像信号を保持し、この保持した撮像信号を増幅してバッファ部25へ出力する。

【0038】

水平走査部245は、タイミング生成部28から入力される駆動信号（ $HCLK$ ）に基づいて、受光部23の選択された列（縦ライン） $\langle N \rangle$ （ $N = 0, 1, 2, \dots, n - 1, n$ ）に駆動信号 $HCLK \langle N \rangle$ を印加し、各画素230で光電変換された撮像信号を、ノイズ除去部243および列ソースフォロワバッファ244を介して後述する水平転送線257に転送してバッファ部25へ出力する。

30

【0039】

基準電圧生成部246は、受光部23と同じ電源電圧 $VDD$ からノイズ除去部243のクランプ電圧 $VCLP$ を生成する。なお、基準電圧生成部246の回路の詳細は、後述する図5において説明する。

【0040】

バッファ部25は、列ソースフォロワバッファ244から順次出力された撮像信号の電圧に対してインピーダンス変換を行い、ボルテージフォロワにより1倍に増幅してA/D変換装置27へ出力する。なお、バッファ部25の回路の詳細は、後述する図4において説明する。

40

【0041】

基準信号生成部26は、受光部23によって生成された撮像信号と同相の揺らぎ成分を有し、撮像信号の補正処理に用いられる基準信号を生成してA/D変換装置27へ出力する。なお、基準信号生成部26の回路の詳細は、後述する図6において説明する。

【0042】

A/D変換装置27は、バッファ部25から出力された撮像信号および基準信号生成部26から生成された基準信号を同一タイミングでサンプリングし、デジタルの撮像信号（ $Vout$ ）に変換して外部へ出力する。

【0043】

50

タイミング生成部 28 は、ヒステリシス部 29 から入力された基準クロック信号および同期信号に基づいて、各種の駆動信号を生成し、後述する読み出し部 24、バッファ部 25、基準信号生成部 26 および A/D 変換装置 27 へ出力する。

【0044】

ヒステリシス部 29 は、伝送ケーブル 3 を介して入力された基準クロック信号および同期信号の波形整形を行い、この波形整形を行った基準クロック信号および同期信号をタイミング生成部 28 へ出力する。

【0045】

〔撮像素子の回路の構成〕

次に、上述した撮像素子 21 の回路について詳細に説明する。図 4 は、撮像素子 21 の構成を模式的に示す回路図である。

10

【0046】

〔画素の構成〕

まず、画素 230 の構成について説明する。

図 4 に示すように、上述した受光部 23 には、多数の画素 230 が二次元マトリクス状に配列されてなる。各画素 230 は、光電変換素子 231 (フォトダイオード) と、電荷変換部 233 と、転送トランジスタ 234 (第 1 の転送部) と、画素リセット部 236 (トランジスタ) と、画素ソースフォロワトランジスタ 237 と、を含む。

【0047】

光電変換素子 231 は、入射光をその光量に応じた信号電荷量に光電変換して蓄積する。光電変換素子 231 は、カソード側がそれぞれ転送トランジスタ 234 の一端側に接続され、アノード側がグランド GND に接続される。

20

【0048】

電荷変換部 233 は、浮遊拡散容量 (FD) からなり、光電変換素子 231 で蓄積された電荷を電圧に変換する。

【0049】

転送トランジスタ 234 は、光電変換素子 231 から電荷変換部 233 に電荷を転送する。転送トランジスタ 234 のゲートには、駆動信号 (行選択パルス) R および駆動信号 T が供給される信号線が接続され、他端側には、電荷変換部 233 が接続される。転送トランジスタ 234 は、垂直走査部 241 から信号線を介して駆動信号 R および駆動信号 T が供給されると、オン状態となり、光電変換素子 231 から電荷変換部 233 に電荷を転送する。

30

【0050】

画素リセット部 236 は、電荷変換部 233 を所定電位にリセットする。画素リセット部 236 は、一端側が電源電圧 VDD に接続され、他端側が電荷変換部 233 に接続され、ゲートには駆動信号 R が供給される信号線に接続される。画素リセット部 236 は、垂直走査部 241 から信号線を介して駆動信号 R が供給されると、オン状態となり、電荷変換部 233 に蓄積された信号電荷を放出させ、電荷変換部 233 を所定電位にリセットする。

【0051】

画素ソースフォロワトランジスタ 237 は、一端側が電源電圧 VDD (例えば 3.3V) に接続され、他端側が垂直転送線 239 に接続され、ゲートには電荷変換部 233 で電圧変換された信号 (撮像信号またはリセット時の信号) が入力される。画素ソースフォロワトランジスタ 237 は、後述する選択動作の後に、転送トランジスタ 234 のゲートに駆動信号 T が供給されると、光電変換素子 231 から電荷が読み出され、電荷変換部 233 にて電圧変換された後に、垂直転送線 239 に転送される。

40

【0052】

定電流源 242 は、一端側が垂直転送線 239 に接続され、他端側がグランド GND に接続され、ゲートにはバイアス電圧  $V_{bias1}$  が印加される。定電流源 242 は、画素 230 を駆動し、画素 230 の出力を垂直転送線 239 へ出力させる。垂直転送線 239

50

へ出力された信号は、ノイズ除去部 243 に入力される。

【0053】

〔ノイズ除去部の構成〕

次に、ノイズ除去部 243 の構成について説明する。

図 4 に示すノイズ除去部 243 は、各画素 230 の列毎に設けられる。具体的には、ノイズ除去部 243 は、垂直転送線 239 毎に設けられる。ノイズ除去部 243 は、転送容量 252 (AC 結合コンデンサ) と、クランプスイッチ 253 (トランジスタ) と、を有する。なお、本実施の形態 1 では、ノイズ除去部 243 がクランプ回路として機能する。

【0054】

転送容量 252 は、一端側が垂直転送線 239 に接続され、他端側が後述する列ソースフォロワバッファ 244 の列ソースフォロワトランジスタ 254 に接続される。

【0055】

クランプスイッチ 253 は、一端側が基準電圧生成部 246 からクランプ電圧  $V_{CLP}$  が供給される信号線が接続され、他端側が転送容量 252 と列ソースフォロワバッファ 244 との間に接続され、ゲートにタイミング生成部 28 から駆動信号  $V_{CL}$  が入力される。ノイズ除去部 243 に入力される撮像信号は、ノイズ成分を含んだ光ノイズ和信号である。

【0056】

このように構成されたノイズ除去部 243 は、タイミング生成部 28 から駆動信号  $V_{CL}$  がクランプスイッチ 253 のゲートに入力されると、クランプスイッチ 253 がオン状態となり、基準電圧生成部 246 から供給されるクランプ電圧  $V_{CLP}$  により転送容量 252 がリセットされる。ノイズ除去部 243 でノイズ除去された撮像信号は、列ソースフォロワバッファ 244 のゲートに入力される。ノイズ除去部 243 は、サンプリング用のコンデンサ (サンプリング容量) を必要としないため、転送容量 252 (AC 結合コンデンサ) の容量が列ソースフォロワバッファ 244 の入力容量に十分な容量であればよい。さらに、ノイズ除去部 243 は、サンプリング容量の無い分、撮像素子 21 における専有面積を小さくすることができる。

【0057】

〔列ソースフォロワバッファの構成〕

次に、列ソースフォロワバッファ 244 の構成について説明する。

図 4 に示す列ソースフォロワバッファ 244 は、各画素 230 の列毎に設けられる。具体的には、列ソースフォロワバッファ 244 は、垂直転送線 239 毎に設けられる。列ソースフォロワバッファ 244 は、列ソースフォロワトランジスタ 254 と、列選択スイッチ 255 と、を有する。なお、本実施の形態 1 では、列ソースフォロワバッファ 244 が列側回路として機能する。

【0058】

列ソースフォロワトランジスタ 254 は、一端側が電源電圧  $V_{SS}$  (以下、「グランド  $GND$ 」という) に接続され、他端側が列選択スイッチ 255 の一端側に接続され、ゲートにはノイズ除去部 243 でノイズ除去された撮像信号が入力される。

【0059】

列選択スイッチ 255 は、一端側が列ソースフォロワトランジスタ 254 の他端側に接続され、他端側が水平転送線 257 に接続される。列選択スイッチ 255 は、トランジスタを用いて構成され、ゲートに水平走査部 245 から駆動信号  $HCLK < M >$  を供給するための信号線が接続される。列選択スイッチ 255 は、水平走査部 245 から駆動信号  $HCLK < M >$  が供給されると、オン状態となり、ノイズ除去部 243 でノイズ除去された撮像信号を水平転送線 257 へ転送する。なお、水平転送線 257 には、図示しない水平リセットトランジスタが接続され、水平リセットトランジスタにタイミング生成部 28 から駆動信号が入力されることによって、水平リセットトランジスタがオン状態となり、水平転送線 257 をリセットする。

【0060】

10

20

30

40

50

このように構成された列ソースフォロワバッファ244は、タイミング生成部28から駆動信号 HCLK < M > が列選択スイッチ255に印加されると、列選択スイッチ255がオン状態となり、水平転送線257を介してノイズ除去部243でノイズ除去された撮像信号がバッファ部25に順次入力される。

#### 【0061】

〔バッファ部の構成〕

次に、バッファ部25の構成について説明する。

図4に示すバッファ部25は、水平走査部245によって順次選択された列ソースフォロワバッファ244が接続されることによって、ボルテージフォロワ回路を形成し、入力される撮像信号の電圧に対してインピーダンス変換を行ってA/D変換装置27へ出力する。具体的には、バッファ部25は、水平走査部245によって順次選択された列ソースフォロワバッファ244が接続されることによって、入力される撮像信号をボルテージフォロワにより1倍に増幅してA/D変換装置27へ出力する。バッファ部25は、画素230の奇数列および偶数列それぞれに設けられた第1のグローバル側回路260および第2のグローバル側回路270を有する。なお、第1のグローバル側回路260および第2のグローバル側回路270は、インピーダンス変換部として機能する。

10

#### 【0062】

第1のグローバル側回路260は、定電流源256と、スイッチ261と、第1のトランジスタ262と、第2のトランジスタ263と、第3のトランジスタ264と、定電流源265と、を有する。

20

#### 【0063】

定電流源256は、一端側が水平転送線257に接続され、他端側が電源電圧VDDに接続される。定電流源256は、撮像信号を水平転送線257へ読み出す。水平転送線257へ読み出された撮像信号は、後述するスイッチ261を介して第1のトランジスタ262のソース側に入力される。なお、本実施の形態1では、定電流源256が第1の定電流源として機能する。

#### 【0064】

スイッチ261は、一端側が水平転送線257を介して列ソースフォロワバッファ244の列選択スイッチ255に接続され、他端側が第1のトランジスタ262のソース側に接続される。スイッチ261は、列ソースフォロワバッファ244の列選択スイッチ255と同様の抵抗値を有し、例えばトランジスタを用いて構成される。スイッチ261は、常にオン状態で設けられ、水平転送線257と第1のトランジスタ262とを接続する。

30

#### 【0065】

第1のトランジスタ262は、一端側（ソース側）がスイッチ261および水平転送線257を介して列ソースフォロワバッファ244の列選択スイッチ255に接続され、他端側（ドレイン側）が第2のトランジスタ263の一端側（ドレイン側）に接続され、ゲートがA/D変換装置27に接続される。第1のトランジスタ262は、PMOSを用いて構成される。

#### 【0066】

第2のトランジスタ263は、一端側（ドレイン側）に第1のトランジスタ262の他端側（ドレイン側）および第1のトランジスタ262のゲートが接続され、他端側（ソース側）がグランドGNDに接続され、ゲートが定電流源265に接続される。第2のトランジスタ263は、NMOSを用いて構成される。

40

#### 【0067】

第3のトランジスタ264は、一端側（ドレイン側）が定電流源265（第2の定電流源）に接続され、他端側（ソース側）がグランドGNDに接続され、ゲートが定電流源265に接続される。

#### 【0068】

このように構成された第1のグローバル側回路260は、水平走査部245によって順次選択された奇数列の列ソースフォロワバッファ244（列側回路）が接続されることに

50

よって、ボルテージフォロワ回路となり、列ソースフォロワバッファ244から入力される撮像信号(Vin)の電圧に対してインピーダンス変換を行い、ボルテージフォロワにより1倍に増幅して撮像信号(Vout)をA/D変換装置27へ出力する。

【0069】

第2のグローバル側回路270は、上述した第1のグローバル側回路260と同一の構成を有し、定電流源256と、スイッチ261と、第1のトランジスタ262と、第2のトランジスタ263と、第3のトランジスタ264と、定電流源265と、を有する。

【0070】

このように構成された第2のグローバル側回路270は、水平走査部245によって順次選択された偶数列の列ソースフォロワバッファ244(列側回路)が接続されることにより、ボルテージフォロワ回路を形成し、入力される撮像信号(Vin)の電圧に対してインピーダンス変換を行い、ボルテージフォロワにより1倍に増幅した撮像信号(Vout)をA/D変換装置27へ出力する。

10

【0071】

基準信号生成部26は、画素230によって生成された撮像信号と同相の揺らぎ成分を有し、撮像信号の補正処理に用いられる基準信号を生成してA/D変換装置27へ出力する。なお、基準信号生成部26の回路の詳細は、後述する図6において説明する。

【0072】

A/D変換装置27は、受光部23における奇数列および偶数列の各々に設けられ、奇数列の画素230から出力されたアナログの撮像信号をデジタルの撮像信号に変換して外部へ出力する第1のA/D変換部280、および偶数列の画素230から出力されたアナログの撮像信号をデジタルの撮像信号に変換して外部へ出力する第2のA/D変換部290と、を有する。なお、第1のA/D変換部280および第2のA/D変換部290の回路の詳細は、後述する図7において説明する。

20

【0073】

〔基準電圧生成部の構成〕

次に、上述した図3において説明した基準電圧生成部246の構成について説明する。図5は、基準電圧生成部246の構成を示す回路図である。

【0074】

図5に示す基準電圧生成部246(定電圧信号生成部)は、2つの抵抗291aおよび291bからなり、一端がVDD\_A/D(例えば3.3V)に接続され、他端がグラウンドGNDに接続された抵抗分圧回路291と、タイミング生成部28から印加される駆動信号VSHで駆動されるスイッチ292(トランジスタ)と、電源から独立させて、揺らぎから開放させるためのサンプリング容量293(コンデンサ)と、を含む。

30

【0075】

このように構成された基準電圧生成部246は、スイッチ292の駆動により駆動信号VSHが駆動するタイミングで、ノイズ除去部243のクランプ電圧VCLPを生成してノイズ除去部243へ出力する。

【0076】

〔基準信号生成部の構成〕

次に、上述した図3および図4において説明した基準信号生成部26の詳細な構成について説明する。図6は、基準信号生成部26の構成を模式的に示す回路図である。

40

【0077】

図6に示す基準信号生成部26は、2つの抵抗301aおよび抵抗301bからなる抵抗分割回路301と、タイミング生成部28から印加される駆動信号で駆動するスイッチ302(トランジスタ)と、電源から独立させて、揺らぎから開放させるためのサンプリング容量303(コンデンサ)と、画素相当回路304と、ノイズ除去相当回路305と、列相当回路306と、バッファ相当回路307と、を有する。

【0078】

画素相当回路304は、画素230の画素ソースフォロワトランジスタ237および定

50

電流源 242 の各々と相当な回路を形成し、画素ソースフォロワトランジスタ 237a と、画素ソースフォロワトランジスタ 237a を駆動する定電流源 242a と、を有する。

【0079】

画素ソースフォロワトランジスタ 237a は、一端側（ドレイン側）が電源電圧 VDD に接続され、他端側（ソース側）が定電流源 242a に接続され、ゲートにはサンプリング容量 303 から転送された信号が転送される信号線が接続される。

【0080】

定電流源 242a は、一端側が画素ソースフォロワトランジスタ 237a に接続され、他端側がグランド GND に接続される。定電流源 242a は、画素ソースフォロワトランジスタ 237a を駆動し、画素ソースフォロワトランジスタ 237a の出力をノイズ除去相当回路 305 へ出力させる。

10

【0081】

ノイズ除去相当回路 305 は、上述したノイズ除去部 243 と相当な回路を形成し、転送容量 252（AC 結合コンデンサ）と、クランプスイッチ 253 と、を有する。ノイズ除去相当回路 305 は、上述したノイズ除去部 243 と相当な回路のため、詳細な説明は省略する。

【0082】

列相当回路 306 は、上述した列ソースフォロワバッファ 244 と相当な回路を形成し、列ソースフォロワトランジスタ 254 と、列選択スイッチ 255 と、を有する。列相当回路 306 は、上述した列ソースフォロワバッファ 244 と相当な回路のため、詳細な説明は省略する。

20

【0083】

バッファ相当回路 307 は、上述した第 1 のグローバル側回路 260 と相当な回路を形成し、定電流源 256 と、スイッチ 261 と、第 1 のトランジスタ 262 と、第 2 のトランジスタ 263 と、第 3 のトランジスタ 264 と、定電流源 265 と、を有する。バッファ相当回路 307 は、上述した第 1 のグローバル側回路 260 と相当な回路のため、詳細な説明は省略する。

【0084】

このように構成された基準信号生成部 26 は、画素 230 によって生成された撮像信号と同相の揺らぎ成分を有し、撮像信号の補正処理に用いられる基準信号（VREF）を生成して A/D 変換装置 27 へ出力する。

30

【0085】

〔第 1 の A/D 変換部の構成〕

次に、第 1 の A/D 変換部 280 の構成について説明する。図 7 は、第 1 の A/D 変換部 280 の構成を模式的に説明する回路図である。なお、第 1 の A/D 変換部 280 および第 2 の A/D 変換部 290 は、同じ回路構成のため、以下においては、第 1 の A/D 変換部 280 の構成のみ説明し、第 2 の A/D 変換部 290 の構成の説明は省略する。また、図 7 に示す第 1 の A/D 変換部 280 は、逐次比較型の A/D 変換装置であり、9 ビット（bit）出力の A/D 変換装置であるが、これに限定されず、出力ビット数を適宜変更することができる。なお、第 1 の A/D 変換部 280 は、逐次比較型の A/D 変換装置である必要はなく、省電力可能な A/D 変換装置であればよく、例えばナイキスト型の A/D 変換装置であってもよい。

40

【0086】

図 7 に示す第 1 の A/D 変換部 280 は、サンプリング回路 401 と、容量性 DAC 回路 402 と、比較回路 403 と、補正回路 404 と、制御回路 405 と、を備える。

【0087】

サンプリング回路 401 は、差動入力信号を構成する 1 対の撮像信号（Vsignal）および基準信号（VREF）に対して、タイミング生成部 28 から入力されるクロック信号 CLK に基づいて、同一のタイミングでトラック・ホールド（Track and Hold）を行い、アナログの撮像信号および基準信号をサンプリングする。サンプリング回路 401 は、ス

50

スイッチ 401a と、スイッチ 401b と、を有する。

【0088】

スイッチ 401a は、オン状態であるとき、上述した第 1 のグローバル側回路 260 と容量性 DAC 回路 402 との間を導通させ、オフ状態であるとき、第 1 のグローバル側回路 260 と容量性 DAC 回路 402 との間を高インピーダンス状態とする。スイッチ 401a は、非反転入力端子 INP を介してアナログの撮像信号が入力される。スイッチ 401a は、オン状態からオフ状態に切り替わるタイミングに後述する容量部 402aP にアナログの撮像信号をホールドしてサンプリングする。スイッチ 401a は、タイミング生成部 28 から入力されるクロック信号 CLK に基づいて、オン状態とオフ状態とが切り替わる。

10

【0089】

スイッチ 401b は、オン状態であるとき、上述した基準信号生成部 26 と容量性 DAC 回路 402 との間を導通させ、オフ状態であるとき、基準信号生成部 26 と容量性 DAC 402 との間を高インピーダンス状態とする。スイッチ 401b は、反転入力端子 INN を介してアナログの基準信号が入力される。スイッチ 401b は、オン状態からオフ状態に切り替わるタイミングに後述する容量部 402aN にアナログの基準信号をホールドしてサンプリングする。スイッチ 401b は、タイミング生成部 28 から入力されるクロック信号 CLK に基づいて、オン状態とオフ状態とが切り替わる。

【0090】

容量性 DAC 回路 402 は、制御回路 405 によって生成されたデジタル信号 (DN0 ~ DN8, DP0 ~ DP8) に基づくアナログ信号を生成し、サンプリング回路 401 によりホールドされ、サンプリングされた撮像信号および基準信号の各々から参照信号 (基準信号 VREF と異なる別の基準信号) を減算することによって、差動入力信号と 9 ビットのデジタル信号 D0 ~ D8 との間の累積残差を取得する。容量性 DAC 回路 402 は、撮像信号および基準信号の各々から参照信号を減算した減算結果を、累積残差が反映されたアナログの撮像信号 (INP) および基準信号 (INN) として、比較回路 403 へ出力する。容量性 DAC 回路 402 は、容量部 402aN と、駆動部 402bN と、容量部 402aP と、駆動部 402bP と、を有する。

20

【0091】

容量部 402aP は、減衰容量 ChP とバイナリ容量 C0P ~ C8P と、を有する。減衰容量 ChP は、スイッチ 401a に接続された配線に相当する信号ノード NP とグランド GND との間に接続される。また、バイナリ容量 C0P ~ C8P の各々は、信号ノード NP と駆動部 402bP の出力部との間に接続される。即ち、バイナリ容量 C0P ~ C8P の各々は、一方の電極が信号ノード NP に共通接続され、他方の電極が後述する駆動部 402bP を構成するインバータ Q0P ~ Q8P の出力部に個別に接続される。バイナリ容量 C0P ~ C8P は、制御回路 405 によって生成されるデジタル信号 DP0 ~ DP8 に対応して配置されている。バイナリ容量 C0P ~ C8P の各々の容量値は異なる。例えば、デジタル信号 DP(n+1) に対応する容量 C(n+1)P の容量値は、デジタル信号 DPn に対応する容量 CnP の容量値の 2 倍である (n は、0 から 7 までの整数)。即ち、バイナリ容量 C0P ~ C8P の各々の容量値は、デジタル信号 DP0 ~ DP8 の各ビ

30

40

【0092】

容量部 402aN は、容量部 402aP と同様に、減衰容量 ChN とバイナリ容量 C0N ~ C8N と、を有する。減衰容量 ChN は、スイッチ 401b に接続された配線に相当する信号ノード NN とグランド GND との間に接続される。また、バイナリ容量 C0N ~ C8N の各々は、信号ノード NN と駆動部 402bN の出力部との間に接続される。即ち、バイナリ容量 C0N ~ C8N の各々は、一方の電極が信号ノード NN に共通接続され、他方の電極が後述する駆動部 402bN を構成するインバータ Q0N ~ Q8N の出力部に個別に接続される。バイナリ容量 C0N ~ C8N は、制御回路 405 によって生成されるデジタル信号 DN0 ~ DN8 に対応して配置されている。なお、バイナリ容量 C0N ~ C

50

8 Nの容量値についても、バイナリ容量C 0 P ~ C 8 Pと同様に2進数で重み付けされている。また、容量部4 0 2 a Nを構成するバイナリ容量C 0 N ~ C 8 Nの各容量値の各々は、容量部4 0 2 a Pを構成するバイナリ容量C 0 P ~ C 8 Pの各々の容量値と同じに設定されている。

【0093】

駆動部4 0 2 b Pは、インバータQ 0 P ~ Q 8 Pを有する。インバータQ 0 P ~ Q 8 Pには、電源電圧V D D \_ A / Dが供給される。このことは、インバータQ 0 P ~ Q 8 Pの各々から出力されるアナログ信号の振幅が電源電圧V D D \_ A / Dに等しいことを意味する。インバータQ 0 P ~ Q 8 Pは、制御回路4 0 5によって生成されるデジタル信号D P 0 ~ D P 8に対応して配置されている。インバータQ 0 P ~ Q 8 Pの各々には、制御回路4 0 5から、デジタル信号D P 0 ~ D P 8の各ビットが入力される。また、インバータQ 0 P ~ Q 8 Pの出力部の各々は、バイナリ容量C 0 P ~ C 8 Pの他方の電極に接続される。

10

【0094】

インバータQ 0 P ~ Q 8 Pは、制御回路4 0 5から入力されるデジタル信号D P 0 ~ D P 8を反転することによって参照信号を生成する。容量部4 0 2 a Pが有する複数のバイナリ容量C 0 P ~ C 8 Pは、電荷再配分により、減衰容量C h Pに保持されているアナログの撮像信号V signalに基づく電荷から、参照信号に基づく電荷を引き抜くことによって、撮像信号V signalから参照信号を減算する。容量部4 0 2 a Pは、減算結果であるアナログ信号V C Pを比較回路4 0 3へ出力する。

20

【0095】

駆動部4 0 2 b Nは、インバータQ 0 N ~ Q 8 Nを備えている。インバータQ 0 N ~ Q 8 Nには、電源電圧V D D \_ A / Dが供給される。このことは、インバータQ 0 N ~ Q 8 Nの各々から出力される基準信号の振幅が電源電圧V D D \_ A / Dに等しいことを意味する。インバータQ 0 N ~ Q 8 Nは、制御回路4 0 5によって生成されるデジタル信号D N 0 ~ D N 8に対応して配置されている。インバータQ 0 N ~ Q 8 Nの各々には、制御回路4 0 5から、デジタル信号D N 0 ~ D N 8の各ビットが入力される。また、インバータQ 0 N ~ Q 8 Nの出力部の各々は、バイナリ容量C 0 N ~ C 8 Nの他方の電極に接続される。

【0096】

インバータQ 0 N ~ Q 8 Nは、制御回路4 0 5から入力されるデジタル信号D N 0 ~ D N 8を反転することによって参照信号を生成する。容量部4 0 2 a Nが有する複数のバイナリ容量C 0 N ~ C 8 Nは、電荷再配分により、減衰容量C h Nに保持されているアナログの基準信号V R E Fに基づく電荷から、参照信号に基づく電荷を引き抜くことによって、アナログの基準信号V R E Fから参照信号を減算する。容量部4 0 2 a Nは、減算結果であるアナログ信号V C Nを出力する。

30

【0097】

比較回路4 0 3 (コンパレータ)は、容量性D A C回路4 0 2から入力されるアナログの撮像信号とアナログの基準信号とを比較し、その大小関係に応じた比較結果を示すデジタル信号V O Pおよびデジタル信号V O Nを出力する。具体的には、比較回路4 0 3は、アナログの撮像信号の信号レベルがアナログの基準信号の信号レベルよりも高い場合、デジタル信号V O Pとしてハイレベルの信号を出力し、デジタル信号V O Nとしてローレベルの信号を出力する。逆に、比較回路4 0 3は、アナログの撮像信号の信号レベルがアナログの基準信号の信号レベルよりも低い場合、デジタル信号V O Pとしてローレベルの信号を出力し、デジタル信号V O Nとしてハイレベルの信号を出力する。比較回路4 0 3は、後述する制御回路4 0 5によって生成される内部クロック信号B I T \_ C L Kおよび反転内部クロック信号B I T \_ C L K bに基づいて制御される。

40

【0098】

補正回路4 0 4は、比較回路4 0 3の前段側に設けられ、比較回路4 0 3の入力トランジスタにおける寄生容量を相殺した一对の電圧信号を比較回路4 0 3へ出力する。具体的

50

には、補正回路404は、比較回路403の入力トランジスタの寄生容量（ゲート容量）を相殺することによって、比較回路403に入力される一対のアナログの信号電圧を補正して比較回路403へ出力する。補正回路404は、比較回路403の入力トランジスタの寄生容量を相殺する補正用トランジスタ404aと、補正用トランジスタ404aにバイアス電圧VBを印加するバイアス回路404bと、を有する。補正用トランジスタ404aのゲート端子は、比較回路403の入力端子に、補正用トランジスタ404aのドレイン端子とソース端子は互いに接続されてバイアス回路404bに接続されている。補正用トランジスタ404aは、ゲート端子と共通接続されたドレイン・ソース端子間とでMOS容量を構成する。補正用トランジスタ404aの容量の電圧依存性は、比較回路403の入力トランジスタの電圧依存と逆特性を有する。なお、補正用トランジスタ404aの電圧依存性については後述する。

10

## 【0099】

制御回路405は、SAR（Successive Approximation Register）ロジック回路として機能し、2分探索アルゴリズムに従って、比較回路403による比較結果を示すデジタル信号VOPおよびデジタル信号VONに対応するデジタル信号DP0～DP8、およびデジタル信号DN0～DN8の各ビットの値を逐次判定する。制御回路405は、デジタル信号VOPおよびデジタル信号VONに対応するデジタル信号DP0～DP8およびデジタル信号DN0～DN8を容量性DAC回路402に供給する。このうち、制御回路405は、デジタル信号DP0～DP8を、A/D変換結果を表すデジタル信号D0～D8として出力する（Vout）。また、制御回路405は、比較回路403を制御する内部クロック信号BIT\_\_CLKおよび反転内部クロック信号BIT\_\_CLKbを生成し、比較回路403へ供給する。制御回路405は、タイミング生成部28によって生成されたクロック信号CLKに基づいて制御される。制御回路405は、クロック信号CLKがハイレベルの期間において、内部クロック信号BIT\_\_CLKおよび反転内部クロック信号BIT\_\_CLKbを発生させる。

20

## 【0100】

このように構成された第1のA/D変換部280は、デジタル信号D0～D8の最上位ビット（D8）から最下位ビット（D0）に向かって、1ビットずつ順にA/D変換結果を取得する。このA/D変換の過程で、比較回路403は、容量性DAC回路402によって上述した減算が行われる都度、それまでの累積残差が反映されたアナログの撮像信号（INP）の信号レベル（電圧）とアナログの基準信号（INN）の信号レベル（電圧）とを比較する。

30

## 【0101】

また、第1のA/D変換部280の差動入力レンジは、下記の式（1）となる。

## 【数1】

$$V_{fs,pp} = 2 \frac{C_{dac}}{C_{dac} + C_h + C_{st1} + C_{st2} + C_{st3}} V_{DD\_A/D} \quad \dots(1)$$

ここで、Cst1は、メタル配線間（ノード配線）に生じる寄生容量を示し、Cst2は、比較回路403の入力容量を示し、Cst3は、補正用トランジスタ404aにより生成されるMOS容量を示し、Chは、容量性DAC回路402の減衰容量を示す。

40

## 【0102】

上述した式（1）において、Cdac = Ch + Cst1 + Cst2 + Cst3となるようにChを設定するとゲイン係数が1となり、フルスケールレンジを確保することができる。このため、本実施の形態1では、補正用トランジスタ404aの容量は、MOS容量の値が比較回路403の入力トランジスタのゲート容量と逆特性のバイアス電圧の依存性を示すように設定する。

## 【0103】

〔補正用トランジスタの特性〕

次に、補正用トランジスタ404aの容量と比較回路403の容量の電圧依存特性につ

50

いて説明する。図 8 は、比較回路 403 の入力容量と補正回路 404 の補正用トランジスタ 404 a の入力容量との電圧依存特性の関係を示す図である。図 8 において、横軸が比較回路 403 の入力電圧 (V) を示し、縦軸が容量を示す。また、図 8 において、曲線 L1 が比較回路 403 の電圧依存特性を示し、曲線 L2 が補正用トランジスタ 404 a の電圧依存特性を示し、曲線 L3 が補正用トランジスタ 404 a の容量 (VB パラメータ) と比較回路 403 の入力容量との合成容量における電圧依存特性を示す。

#### 【0104】

図 8 に示すように、補正用トランジスタ 404 a は、容量が比較回路 403 の入力トランジスタのゲート容量と逆特性のバイアス電圧依存性を有するように設定する。具体的には、ユーザは、補正用トランジスタ 404 a のバイアス電圧 VB を適切に設定することにより、補正用トランジスタ 404 a の容量と比較回路 403 の入力容量との合成容量を略フラットとなるように設定する。より具体的には、曲線 L2 に示すように、ユーザは、補正用トランジスタ 404 a のバイアス電圧 VB を適切に設定することにより、比較回路 403 の入力トランジスタのゲート容量と逆特性のバイアス電圧依存性を持たせることで、曲線 L3 に示すように補正用トランジスタ 404 a の MOS 容量と比較回路 403 の入力容量との合成容量を略フラットとなるように設定することができる。

10

#### 【0105】

図 9 は、従来 of 逐次比較型 of A/D 変換装置が出力する出力信号 of INL (Integral Non-Linearity: 積分非直線性誤差) 特性を示す。図 10 は、第 1 of A/D 変換部 280 が出力する出力信号 of INL 特性を示す。図 9 および図 10 において、横軸が code を示し、縦軸が INL [a.u.] を示す。また、図 9 of 曲線 L31 が従来 of 逐次比較型 of A/D 変換装置が出力する出力信号 of INL 特性を示し、図 10 of 曲線 L32 が第 1 of A/D 変換部 280 が出力する出力信号 of INL 特性を示す。

20

#### 【0106】

図 10 of 曲線 L32 に示すように、第 1 of A/D 変換部 280 は、出力信号が略フラットなものとなり、ゲインが A/D 変換 of 最中に変動することを防止することができるので、出力信号 of 線形性を維持することができる。

#### 【0107】

##### 〔撮像装置 of 動作〕

次に、撮像装置 20 of 動作について説明する。図 11 A は、撮像装置 20 of 動作を示すタイミングチャートである。図 11 B は、図 11 A of 領域 R1 of タイミングチャート of 一部を拡大した模式図である。図 11 A において、受光部 23 of 行 <n> of 画素 230 から撮像信号を読み出し、A/D 変換装置 27 からデジタル of 撮像信号が出力されるまでを説明する。また、図 11 A に示すタイミングチャートでは説明 of 便宜上、画素 230 に 1 つ of 光電変換素子 231 のみが含まれるものとしている。画素 230 に複数 of 光電変換素子 231 が含まれる場合 (画素共有 of 場合) には、このタイミングチャートに示す 1 映像信号ライン分 of 動作を画素 230 に含まれる光電変換素子 231 の数分だけ繰り返し行う。また、図 11 A において、最上段から順に、駆動信号 R、駆動信号 T、駆動信号 VCL、駆動信号 SW21 ~ SW2n、転送容量 252 of 電圧 VIN1 ~ VINn、バッファ部 25 of 出力電圧 Vout、A/D 変換装置 27 of 変換タイミング、基準クロック CLK、A/D 変換装置 27 of 変換結果 of 出力タイミングおよび基準信号 VREF を示す。また、図 11 B において、最上段から順に、基準信号 VREF、バッファ部 25 of 出力電圧 Vout、基準クロック CLK、A/D 変換装置 27 of 動作モードおよびバッファ部 25 of 出力電圧 Vout から基準信号 VREF of 差分 (Vout - VREF) を示す。

30

40

#### 【0108】

図 11 A および図 11 B に示すように、まず、タイミング生成部 28 は、クランプスイッチ 253 をオン (駆動信号 VCL が High) し、画素リセット部 236 をオン (パルス状 of 駆動信号 R <0> が High)、転送トランジスタ 234 をオフ (パルス状 of 駆動信号 T <0> が Low) することにより (時間 T1)、読み出し対象 of 画素 230 特有 of ばらつきと、画素リセット時 of ノイズ等を含むノイズ信号を画素 230 から垂直転

50

送線 239 に出力する。このとき、クランプスイッチ 253 をオン（駆動信号  $VCL$  が  $High$ ）状態にしたままにすることにより、列ソースフォロワバッファ 244 のゲートがクランプ電圧  $VCLP$  の電圧となり、転送容量 252 に  $VRS1 - VCLP$  を充電する。

【0109】

次に、タイミング生成部 28 は、クランプスイッチ 253 をオフ（駆動信号  $VCL$  が  $Low$ ）にした状態で、転送トランジスタ 234 をオン（パルス状の駆動信号  $T < 0 >$  が  $High$ ）することにより、電荷変換部 233 が光電変換素子 231 によって光電変換された信号を垂直転送線 239 に読み出す（時間  $T2$ ）。この状態で、電荷変換部 233 によって電圧変換された撮像信号  $VSI1$  は、垂直転送線 239 に転送される。この動作により、転送容量 252 に、 $VCLP - (VRS1 - VSI1)$  を充電する。これにより、転送容量 252 を介して、ノイズ信号が差し引かれた撮像信号（光信号）が、列ソースフォロワバッファ 244 のゲートに出力される。ここで、列ソースフォロワバッファ 244 のゲートに出力される信号は、クランプ電圧  $VCLP$  を基準としてサンプリングされた信号である。

10

【0110】

続いて、タイミング生成部 28 は、列選択スイッチ 255 をオン（駆動信号  $SW21$  が  $High$ ）することにより（時間  $T3$ ）、転送容量 252 に充電された撮像信号  $Vout$  ( $VCLP - (VRS1 - VSI1)$ ) が列ソースフォロワバッファ 244 および第 1 のグローバル側回路 260 を介して  $A/D$  変換装置 27 へ出力される。

20

【0111】

その後、タイミング生成部 28 は、列選択スイッチ 255 を切り替えてオンオフ（駆動信号  $SW21$  が  $Low$ 、駆動信号  $SW22$  が  $High$ ）することにより（時間  $T4$ ）、転送容量 252 に充電された撮像信号  $Vout$  ( $VCLP - (VRS2 - VSI2)$ ) が列ソースフォロワバッファ 244 および第 1 のグローバル側回路 260 を介して  $A/D$  変換装置 27 へ出力される。このとき、 $A/D$  変換装置 27 は、基準信号生成部 26 から出力された基準信号  $VREF$  に基づいて、転送容量 252 から出力された撮像信号  $Vout$  に対して  $A/D$  変換を行ってデジタルの撮像信号  $D1$  を外部へ出力する。

【0112】

続いて、タイミング生成部 28 は、列選択スイッチ 255 を順次切り替えてオンオフ（駆動信号  $SW22 \sim SW2n$ ）することにより（時間  $Tn$ ）、転送容量 252 に充電された撮像信号  $Vout$  ( $VCLP - (VRSn - VSIgn)$ ) が列ソースフォロワバッファ 244 および第 1 のグローバル側回路 260 を介して  $A/D$  変換装置 27 へ順次出力される。このとき、 $A/D$  変換装置 27 は、基準信号生成部 26 から出力された基準信号  $VREF$  に基づいて、転送容量 252 から順次出力された撮像信号  $Vout$  に対して  $A/D$  変換を行ってデジタルの撮像信号  $D2 \sim Dn$  を外部へ順次出力する。

30

【0113】

このような動作を、撮像装置 20 は、受光部 23 の列数分（または読み出しが必要な列数分）繰り返すことにより、撮像信号の同相の揺らぎ成分がキャンセルされたデジタルの撮像信号を外部へ出力する。さらに、撮像装置 20 は、1 ライン分の読み出し動作を画素行数分（または読み出しが必要な行数分）繰り返すことにより、1 フレーム分のデジタルの撮像信号を外部へ出力する。

40

【0114】

また、図 11B に示すように、基準信号  $VREF$  および撮像信号  $Vout$  は、同相ノイズが乗るが、バッファ部 25 の出力電圧  $Vout$  から基準信号  $VREF$  の差分 ( $Vout - VREF$ ) は、同相ノイズの影響を受けない。 $A/D$  変換装置 27 は、バッファ部 25 から入力された撮像信号  $Vout$  および基準信号生成部 26 から生成された基準信号  $VREF$  を同一のタイミングでサンプリングし、デジタルの撮像信号  $Vout$  を外部へ出力する。この結果、 $A/D$  変換結果は、同相ノイズの影響を受けない。

【0115】

50

以上説明した本発明の実施の形態 1 によれば、第 1 のグローバル側回路 260 が水平走査部 245 によって順次選択された奇数列の列ソースフォロワバッファ 244 (列側回路) が接続されることによって、ボルテージフォロワ回路となり、列ソースフォロワバッファ 244 から入力される撮像信号 (Vin) の電圧に対してインピーダンス変換を行い、ボルテージフォロワにより増幅率を 1 倍に増幅して撮像信号 (Vout) を出力するので、列ソースフォロワバッファ 244 が出力する撮像信号のレベルを最大限に用いることができる。

【0116】

また、本発明の実施の形態 1 によれば、画素 230 よりも低い電源電圧で動作する A/D 変換装置 27 へ出力する場合において、A/D 変換装置 27 の入力ダイナミックレンジと線形性を確保することができる。

10

【0117】

さらに、本発明の実施の形態 1 によれば、列ソースフォロワバッファ 244 の入力換算雑音を低減することができる。

【0118】

また、本発明の実施の形態 1 によれば、基準信号生成部 26 が画素 230 で生成された撮像信号と同相の揺らぎ成分を有する基準信号を生成するので、同相ノイズの影響を実質的に受けない状態で撮像信号をデジタルの撮像信号に変換して出力することができる。

【0119】

また、本発明の実施の形態 1 によれば、比較回路 403 の入力端子に接続される容量を略フラットにすることができるので、A/D 変換装置 27 が出力する出力信号の線形性が劣化することを防止することができる。

20

【0120】

(実施の形態 1 の変形例 1)

次に、本発明の実施の形態 1 の変形例 1 について説明する。本実施の形態 1 の変形例 1 は、上述した実施の形態 1 に係る基準信号生成部 26 の構成が異なる。以下においては、本実施の形態 1 の変形例 1 に係る基準信号生成部の構成について説明する。なお、上述した実施の形態 1 に係る内視鏡システム 1 と同一の構成には同一の符号を付して説明を省略する。

【0121】

30

〔基準信号生成部の構成〕

図 12 は、本発明の実施の形態 1 の変形例 1 に係る基準信号生成部の構成を模式的に示す回路図である。

【0122】

図 12 に示す基準信号生成部 26a は、上述した実施の形態 1 に係る基準信号生成部 26 からノイズ除去相当回路 305、列相当回路 306 および、バッファ相当回路 307 を省略した構成であり、2つの抵抗 301a および抵抗 302b からなる抵抗分割回路 301 と、タイミング生成部 28 から印加される駆動信号で駆動するスイッチ 302 (トランジスタ) と、電源から独立させて、揺らぎから開放させるためのサンプリング容量 303 (コンデンサ) と、画素相当回路 304 と、を有する。

40

【0123】

以上説明した本発明の実施の形態 1 の変形例 1 によれば、画素 230 によって生成された撮像信号と同相の揺らぎ成分を有し、撮像信号の補正処理に用いられる基準信号を生成して A/D 変換装置 27 へ出力することができるうえ、撮像素子 21 のチップ面積を小型化することができる。

【0124】

(実施の形態 1 の変形例 2)

次に、本発明の実施の形態 1 の変形例 2 について説明する。本実施の形態 1 の変形例 2 は、上述した実施の形態 1 に係る基準信号生成部 26 の構成が異なる。以下においては、本実施の形態 1 の変形例 2 に係る基準信号生成部の構成について説明する。なお、上述し

50

た実施の形態 1 に係る内視鏡システム 1 と同一の構成には同一の符号を付して説明を省略する。

【 0 1 2 5 】

〔 基準信号生成部の構成 〕

図 1 3 は、本発明の実施の形態 1 の変形例 2 に係る基準信号生成部の構成を模式的に示す回路図である。

【 0 1 2 6 】

図 1 3 に示す基準信号生成部 2 6 b は、上述した実施の形態 1 に係る基準信号生成部 2 6 からスイッチ 3 0 2 ( トランジスタ )、サンプリング容量 3 0 3 ( コンデンサ )、画素相当回路 3 0 4、ノイズ除去相当回路 3 0 5、列相当回路 3 0 6 およびバッファ相当回路 3 0 7 を省略した構成であり、2 つの抵抗 3 0 1 a および抵抗 3 0 1 b からなる抵抗分割回路 3 0 1 を有する。

10

【 0 1 2 7 】

以上説明した本発明の実施の形態 1 の変形例 2 によれば、画素 2 3 0 によって生成された撮像信号と同相の揺らぎ成分を有し、撮像信号の補正処理に用いられる基準信号を生成して A / D 変換装置 2 7 へ出力することができるうえ、撮像素子 2 1 のチップ面積をより小型化することができる。

【 0 1 2 8 】

( 実施の形態 2 )

次に、本発明の実施の形態 2 について説明する。本実施の形態 2 は、上述した実施の形態 1 に係る撮像素子 2 1 の構成が異なる。以下においては、本実施の形態 2 に係る撮像素子の構成を説明後、本実施の形態 2 に係る撮像素子の動作について説明する。なお、上述した実施の形態 1 に係る内視鏡システム 1 と同一の構成には同一の符号を付して説明を省略する。

20

【 0 1 2 9 】

〔 撮像素子の回路の構成 〕

図 1 4 は、本発明の実施の形態 2 に係る撮像素子の構成を模式的に示す回路図である。図 1 4 に示す撮像素子 2 1 a は、上述した実施の形態 1 に係る撮像素子 2 1 のバッファ部 2 5 および基準信号生成部 2 6 に換えて、バッファ部 2 5 a および基準信号生成部 2 6 c を備える。

30

【 0 1 3 0 】

〔 バッファ部の構成 〕

まず、バッファ部 2 5 a の構成について説明する。バッファ部 2 5 a は、水平走査部 2 4 5 によって順次選択された列ソースフォロワバッファ 2 4 4 が接続されることによって、ボルテージフォロワ回路となり、入力される撮像信号をボルテージフォロワにより 1 倍増幅にして A / D 変換装置 2 7 へ出力する。バッファ部 2 5 a は、画素 2 3 0 の奇数列および偶数列それぞれに設けられた第 1 のグローバル側回路 2 6 0 a および第 2 のグローバル側回路 2 7 0 a を有する。第 1 のグローバル側回路 2 6 0 a および第 2 のグローバル側回路 2 7 0 a は、インピーダンス変換部として機能する。

40

【 0 1 3 1 】

第 1 のグローバル側回路 2 6 0 a は、上述した実施の形態 1 に係る第 1 のグローバル側回路 2 6 0 の構成に加えて、第 4 のトランジスタ 2 6 6、定電流源 2 6 7 と、第 5 のトランジスタ 2 6 8 と、定電流源 2 6 9 と、をさらに有する。

【 0 1 3 2 】

第 4 のトランジスタ 2 6 6 は、一端側 ( ソース側 ) が定電流源 2 6 7 に接続され、他端側 ( ドレイン側 ) がグランド GND に接続され、ゲートがスイッチ 2 6 1、第 1 のトランジスタ 2 6 2 および水平転送線 2 5 7 を介して列ソースフォロワバッファ 2 4 4 の列選択スイッチ 2 5 5 に接続される。第 4 のトランジスタ 2 6 6 は、P M O S を用いて構成される。

【 0 1 3 3 】

50

定電流源 267 は、一端側が電源電圧 VDD に接続され、他端側が第 4 のトランジスタ 266 の一端側（ソース側）および第 5 のトランジスタ 268 のゲートに接続される。なお、本実施の形態 2 では、定電流源 267 が第 3 の定電流源として機能する。

【0134】

第 5 のトランジスタ 268 は、一端側（ドレイン側）が電源電圧 VDD に接続され、他端側（ソース側）が定電流源 269 に接続され、ゲートが定電流源 267 に接続される。第 5 のトランジスタ 268 は、NMOS を用いて構成される。

【0135】

定電流源 269 は、一端側がグランド GND に接続され、他端側が第 5 のトランジスタ 268 の他端側（ソース側）に接続される。なお、本実施の形態 2 では、定電流源 269 が第 4 の定電流源として機能する。

10

【0136】

このように構成された第 1 のグローバル側回路 260 a は、出力段をソースフォロワ構成としているため、水平走査部 245 によって順次選択された奇数列の列ソースフォロワバッファ 244（列側回路）が接続されることによって、ボルテージフォロワ回路となり、入力される撮像信号（Vin）をボルテージフォロワにより 1 倍に増幅した撮像信号（Vout）を A/D 変換装置 27 へ出力する。

【0137】

第 2 のグローバル側回路 270 a は、上述した第 1 のグローバル側回路 260 a と同一の構成を有し、定電流源 256 と、スイッチ 261 と、第 1 のトランジスタ 262 と、第 2 のトランジスタ 263 と、第 3 のトランジスタ 264 と、定電流源 265 と、第 4 のトランジスタ 266、定電流源 267 と、第 5 のトランジスタ 268 と、定電流源 269 と、を有する。

20

【0138】

このように構成された第 2 のグローバル側回路 270 a は、水平走査部 245 によって順次選択された偶数列の列ソースフォロワバッファ 244（列側回路）が接続されることによって、ボルテージフォロワ回路となり、入力される撮像信号（Vin）をボルテージフォロワにより 1 倍に増幅した撮像信号（Vout）を A/D 変換装置 27 へ出力する。

【0139】

基準信号生成部 26c は、画素 230 によって生成された撮像信号と同相の揺らぎ成分を有し、撮像信号の補正処理に用いられる基準信号を生成して A/D 変換装置 27 へ出力する。なお、基準信号生成部 26c の回路の詳細は、後述する図 15 において説明する。

30

【0140】

〔基準信号生成部の構成〕

次に、図 14 において説明した基準信号生成部 26c の詳細な構成について説明する。図 15 は、基準信号生成部 26c の構成を模式的に示す回路図である。

【0141】

図 15 に示す基準信号生成部 26c は、上述した実施の形態 1 に係る基準信号生成部 26 のバッファ相当回路 307 に換えて、バッファ相当回路 307 a を有する。

【0142】

40

バッファ相当回路 307 a は、第 1 のグローバル側回路 260 a と相当な回路を形成し、定電流源 256 と、スイッチ 261 と、第 1 のトランジスタ 262 と、第 2 のトランジスタ 263 と、第 3 のトランジスタ 264 と、定電流源 265 と、第 4 のトランジスタ 266、定電流源 267 と、第 5 のトランジスタ 268 と、定電流源 269 と、を有する。バッファ相当回路 307 a は、上述した第 1 のグローバル側回路 260 a と相当な回路のため、詳細な説明は省略する。

【0143】

このように構成された基準信号生成部 26c は、画素 230 によって生成された撮像信号と同相の揺らぎ成分を有し、撮像信号の補正処理に用いられる基準信号（VREF）を生成して A/D 変換装置 27 へ出力する。

50

## 【 0 1 4 4 】

## 〔 撮像装置の動作 〕

次に、撮像装置 20 の動作について説明する。図 16 A は、撮像装置 20 の動作を示すタイミングチャートである。図 16 B は、図 16 A の領域 R 2 のタイミングチャートの一部を拡大した模式図である。図 16 A においては、受光部 23 の行  $n$  の画素 230 から撮像信号を読み出し、A/D変換装置 27 からデジタルの撮像信号が出力されるまでを説明する。また、図 16 A に示すタイミングチャートでは説明の便宜上、画素 230 に 1 つの光電変換素子 231 のみが含まれるものとしている。画素 230 に複数の光電変換素子 231 が含まれる場合（画素共有の場合）には、このタイミングチャートに示す 1 映像信号ライン分の動作を画素 230 に含まれる光電変換素子 231 の数分だけ繰り返し行う。また、図 16 A において、最上段から順に、駆動信号 R、駆動信号 T、駆動信号 VCL、駆動信号 SW21 ~ SW2n、転送容量 252 の電圧 VIN1 ~ VINn、バッファ部 25a の出力電圧 Vout、A/D変換装置 27 の変換タイミング、基準クロック CLK、A/D変換装置 27 の変換結果の出力タイミングおよび基準信号 VREF を示す。また、図 16 B において、最上段から順に、基準信号 VREF、バッファ部 25 の出力電圧 Vout、基準クロック CLK、A/D変換装置 27 の動作モードおよびバッファ部 25 の出力電圧 Vout から基準信号 VREF の差分 (Vout - VREF) を示す。

10

## 【 0 1 4 5 】

図 16 A および図 16 B に示すように、まず、タイミング生成部 28 は、クランプスイッチ 253 をオン（駆動信号 VCL が High）し、画素リセット部 236 にオン（パルス状の駆動信号  $R < 0 >$  が High）、転送トランジスタ 234 をオフ（パルス状の駆動信号  $T < 0 >$  が Low）することにより（時間 T1）、読み出し対象の画素 230 特有のばらつきと、画素リセット時のノイズ等を含むノイズ信号を画素 230 から垂直転送線 239 に出力する。このとき、クランプスイッチ 253 をオン（駆動信号 VCL が High）状態にしたままにすることにより、列ソースフォロワバッファ 244 のゲートがクランプ電圧 VCLP の電圧となり、転送容量 252 に VIRST - VCLP を充電する。

20

## 【 0 1 4 6 】

次に、タイミング生成部 28 は、クランプスイッチ 253 をオフ（駆動信号 VCL が Low）にした状態で、転送トランジスタ 234 にオン（パルス状の駆動信号  $T < 0 >$  が High）することにより、電荷変換部 233 が光電変換素子 231 によって光電変換された電荷を変換した信号を垂直転送線 239 に読み出す（時間 T2）。この状態で、電荷変換部 233 によって電圧変換された撮像信号 VSIG は、垂直転送線 239 に転送される。この動作により、転送容量 252 に、VCLP - (VIRST1 - VSIG1) を充電する。これにより、転送容量 252 を介して、ノイズ信号が差し引かれた撮像信号（光信号）が、列ソースフォロワバッファ 244 のゲートに出力される。ここで、列ソースフォロワバッファ 244 のゲートに出力される信号は、クランプ電圧 VCLP を基準としてサンプリングされた信号である。

30

## 【 0 1 4 7 】

続いて、タイミング生成部 28 は、列選択スイッチ 255 をオン（駆動信号 SW21 が High）することにより（時間 T3）、転送容量 252 に充電された撮像信号 Vout (VCLP - (VIRST1 - VSIG1)) が列ソースフォロワバッファ 244 および第 1 のグローバル側回路 260a を介して A/D変換装置 27 へ出力される。

40

## 【 0 1 4 8 】

その後、タイミング生成部 28 は、列選択スイッチ 255 を切り替えてオンオフ（駆動信号 SW21 が Low、駆動信号 SW22 が High）することにより（時間 T4）、転送容量 252 に充電された撮像信号 Vout (VCLP - (VIRST2 - VSIG2)) が列ソースフォロワバッファ 244 および第 1 のグローバル側回路 260a を介して A/D変換装置 27 へ出力される。このとき、A/D変換装置 27 は、基準信号生成部 26c から出力された基準信号 VREF に基づいて、転送容量 252 から出力された撮像信号 V

50

o u t に対して A / D 変換を行ってデジタルの撮像信号 D 1 を外部へ出力する。

【 0 1 4 9 】

続いて、タイミング生成部 2 8 は、列選択スイッチ 2 5 5 を順次切り替えてオンオフ（駆動信号 S W 2 2 ~ S W 2 n）することにより（時間 T N）、転送容量 2 5 2 に充電された撮像信号 V o u t（V C L P -（V R S T n - V S I G n））が列ソースフォロワバッファ 2 4 4 および第 1 のグローバル側回路 2 6 0 a を介して A / D 変換装置 2 7 へ順次出力される。このとき、A / D 変換装置 2 7 は、基準信号生成部 2 6 c から出力された基準信号 V R E F に基づいて、転送容量 2 5 2 から順次出力された撮像信号 V o u t に対して A / D 変換を行ってデジタルの撮像信号 D 2 ~ D N を外部へ順次出力する。

【 0 1 5 0 】

このような動作を、撮像装置 2 0 は、受光部 2 3 の列数分（または読み出しが必要な列数分）繰り返すことにより、撮像信号の同相の揺らぎ成分がキャンセルされたデジタルの撮像信号を外部へ出力する。さらに、撮像装置 2 0 は、1 ライン分の読み出し動作を画素行数分（または読み出しが必要な行数分）繰り返すことにより、1 フレーム分のデジタルの撮像信号を外部へ出力する。

【 0 1 5 1 】

また、図 1 6 B に示すように、基準信号 V R E F および撮像信号 V o u t は、同相ノイズが乗るが、バッファ部 2 5 の出力電圧 V o u t から基準信号 V R E F の差分（V o u t - V R E F）は、同相ノイズの影響を受けない。A / D 変換装置 2 7 は、バッファ部 2 5 から入力された撮像信号 V o u t および基準信号生成部 2 6 から生成された基準信号 V R E F を同一のタイミングでサンプリングし、デジタルの撮像信号 V o u t を外部へ出力する。この結果、A / D 変換結果は、同相ノイズの影響を受けない。

【 0 1 5 2 】

以上説明した本発明の実施の形態 2 によれば、第 1 のグローバル側回路 2 6 0 a が水平走査部 2 4 5 によって順次選択された奇数列の列ソースフォロワバッファ 2 4 4（列側回路）が接続されることによって、ボルテージフォロワ回路となり、列ソースフォロワバッファ 2 4 4 から入力される撮像信号（V i n）の電圧に対してインピーダンス変換を行い、ボルテージフォロワにより増幅率を 1 倍に増幅して撮像信号（V o u t）を出力するので、列ソースフォロワバッファ 2 4 4 が出力する撮像信号のレベルを最大限に用いることができる。

【 0 1 5 3 】

また、本発明の実施の形態 2 によれば、第 1 のグローバル側回路 2 6 0 a をソースフォロワ型にすることにより、列ソースフォロワバッファ 2 4 4 のセトリング性能を向上させることができる。

【 0 1 5 4 】

また、本発明の実施の形態 2 によれば、第 1 のグローバル側回路 2 6 0 a をソースフォロワ型にすることにより、A / D 変換装置 2 7 の入力容量を大きくした場合であっても、線形性を確保することができる。

【 0 1 5 5 】

また、本発明の実施の形態 2 によれば、基準信号生成部 2 6 c が画素 2 3 0 で生成された撮像信号と同相の揺らぎ成分を有する基準信号を生成するので、同相ノイズの影響を実質的に受けない状態で撮像信号をデジタルの撮像信号に変換して出力することができる。

【 0 1 5 6 】

また、本発明の実施の形態 2 によれば、比較回路 4 0 3 の入力端子に接続される容量を略フラットにすることができるので、A / D 変換装置 2 7 が出力する出力信号の線形性が劣化することを防止することができる。

【 0 1 5 7 】

（実施の形態 3）

次に、本発明の実施の形態 3 について説明する。本実施の形態 3 は、上述した実施の形態 1 に係る A / D 変換装置 2 7 における第 1 の A / D 変換部 2 8 0 および第 2 の A / D 変

10

20

30

40

50

換部 290 と構成が異なる。以下においては、本実施の形態 3 に係る第 1 の A / D 変換部および第 2 の A / D 変換部の構成について説明する。なお、上述した実施の形態 1 に係る内視鏡システム 1 と同一の構成には同一の符号を付して説明を省略する。

【0158】

〔第 1 の A / D 変換部の構成〕

図 17 は、本実施の形態 3 に係る第 1 の A / D 変換部の構成を模式的に示す回路図である。なお、本実施の形態 3 に係る第 1 の A / D 変換部および第 2 の A / D 変換部は、同じ回路構成のため、以下においては、第 1 の A / D 変換部の構成のみ説明し、第 2 の A / D 変換部の構成の説明は省略する。また、図 17 に示す第 1 の A / D 変換部 280 a は、逐次比較型の A / D 変換装置であり、9 ビット (bit) 出力の A / D 変換装置であるが、こ  
10

【0159】

図 17 に示す第 1 の A / D 変換部 280 a は、上述した実施の形態 1 に係る第 1 の A / D 変換部 280 の補正回路 404 に換えて、補正回路 406 を備える。

【0160】

補正回路 406 は、比較回路 403 の入力トランジスタの寄生容量を相殺することによって、比較回路 403 に入力される一対のアナログの信号を補正する。補正回路 406 は、比較回路 403 の入力トランジスタの寄生容量を相殺する補正用トランジスタ 404 a と、補正用トランジスタ 404 a にバイアス電圧  $V_B$  を印加するとともに、バイアス電圧  $V_B$  を調整可能なバイアス回路 406 b と、を有する。バイアス回路 406 b は、例えば  
20 可変抵抗等を用いて構成される。なお、バイアス回路 406 b は、DAC 回路の出力信号を用いて構成されてもよい。

【0161】

〔補正回路のバイアス電圧  $V_B$  の調整方法〕

次に、上述した補正回路 406 のバイアス電圧の調整方法について説明する。図 18 は、補正回路 406 のバイアス電圧の調整方法を示すフローチャートである。図 19 A ~ 図 19 C は、補正回路 406 のバイアス電圧 ( $n$ ) を変化させたときの INL 特性 (9 ビット ADC) を模式的に示す図である。図 19 A ~ 図 19 C において、横軸が code を示し、縦軸が  $INL[a.u]$  を示す。また、図 19 A の曲線 L41 がバイアス電圧  $V_B = V_B(1)$  の INL 特性を示し、図 19 B の曲線 L42 がバイアス電圧  $V_B = V_B(N)$  の INL 特性を示し、図 19 C の曲線 L43 がバイアス電圧  $V_B = V_B(n)$  の INL 特性を示す。  
30

【0162】

図 18 に示すように、まず、ユーザは、バイアス回路 406 b を調整して、バイアス電圧  $V_B(1) \sim V_B(N)$  の値を設定し (ステップ S101)、 $n = 1$  に設定する (ステップ S102)。ここで、 $N$  がバイアス電圧  $V_B$  を分割する際の最大値を示す。

【0163】

続いて、バイアス回路 406 b は、補正用トランジスタ 404 a にバイアス電圧  $V_B(n)$  を印加する (ステップ S103)。  
40

【0164】

その後、ユーザは、第 1 の A / D 変換部 280 a にテスト信号を入力し、A / D 変換を実行させ (ステップ S104)、第 1 の A / D 変換部 280 a から出力された出力コード  $DOUT(n)$  を測定し、 $INL(n)$  を算出する (ステップ S105)。この場合、バイアス電圧  $V_B(1)$  の INL 特性は、図 19 A の曲線 L41 に示すような上側に凸状をなす。  
40

【0165】

続いて、ユーザは、算出した  $INL(n)$  より、 $INL$  の最大値  $INL\_MAX(n)$ 、最小値  $INL\_MIN(n)$  を算出する (ステップ S106)。  
50

【0166】

その後、ユーザは、 $n$  が  $N$  であるか否かを判断する (ステップ S107)。 $n$  が  $N$  であ  
50

る場合(ステップS107:Yes)、後述するステップS109へ移行する。

【0167】

これに対して、 $n$ が $N$ でない場合(ステップS107:No)、ユーザは、 $n$ をインクリメント( $n = n + 1$ )し(ステップS108)、ステップS103へ戻り、 $n = N$ になるまで、上述したステップS103~ステップS107を繰り返す。この場合、バイアス電圧 $V_B(N)$ の $INL$ 特性は、図19Bの曲線L42に示すような下側に凸状をなす。

【0168】

ステップS109において、ユーザは、最大値 $INL\_MAX(n)$ と最小値 $INL\_MIN(n)$ の絶対値の差分が小さく、最大値 $INL\_MAX(n)$ と最小値 $INL\_MIN(n)$ の絶対値の平均値が小さい $n$ を選択する。

10

【0169】

その後、ユーザは、バイアス電圧 $V_B(n)$ を補正用トランジスタ404aのバイアス電圧に設定する(ステップS110)。具体的には、ユーザは、バイアス回路406bが補正用トランジスタ404aに印加するバイアス電圧が $V_B(n)$ となるように調整する。この場合、図19Cに示すように、バイアス電圧 $V_B(n)$ の $INL$ 特性は、図19Cの曲線L43に示すような略直線状をなす。ステップS110の後、ユーザは、本処理を終了する。

【0170】

以上説明した本発明の実施の形態3によれば、比較回路403の入力端子に接続される容量を略フラットにすることができるので、A/D変換装置27が出力する出力信号の線形性が劣化することを防止することができる。

20

【0171】

(その他の実施の形態)

本発明の実施の形態では、伝送ケーブルを介して撮像装置が生成した撮像信号をプロセッサへ伝送していたが、例えば有線である必要はなく、無線であってもよい。この場合、所定の無線通信規格(例えばWi-Fi(登録商標)やBluetooth(登録商標))に従って、撮像信号をプロセッサへ伝送するようにすればよい。もちろん、他の無線通信規格に従って無線通信を行ってもよい。さらに、撮像信号以外にも、内視鏡の各種情報を更新するための更新情報を伝送してもよい。

【0172】

また、本発明の実施の形態では、撮像素子を1チップで構成していたが、複数の画素を配置してなる画素チップと、読み出し部からA/D変換装置までの各種回路を配置してなる回路チップと、を分割し、画素チップ上に回路チップを積層する2チップとしてもよい。

30

【0173】

また、本発明の実施の形態では、伝送ケーブルを介してA/D変換装置からデジタルの撮像信号をコネクタ部へ伝送していたが、例えばデジタルの撮像信号を光信号に変換する光カプラ等を設け、デジタルの撮像信号を光信号によってコネクタ部へ伝送してもよい。

【0174】

また、本明細書において、前述の各動作フローチャートの説明において、便宜上「まず」、「次に」、「続いて」、「その後」等を用いて動作を説明しているが、この順で動作を実施することが必須であることを意味するものではない。

40

【0175】

また、本発明の実施の形態では、プロセッサと光源装置とが一体的に形成されていたが、これに限定されることなく、例えばプロセッサと光源装置とが別体であってもよい。

【0176】

また、本発明の実施の形態では、同時方式の内視鏡を例に説明したが、面順次方式の内視鏡であっても適用することができる。

【0177】

また、本発明の実施の形態では、軟性内視鏡(上下内視鏡スコープ)以外にも、硬性内

50

視鏡、副鼻腔内視鏡および電気メスや検査プローブ等の内視鏡システムであっても適用することができる。

【0178】

また、本発明の実施の形態では、逐次比較型 A / D 変換装置が撮像装置として、被検体に挿入される挿入部の先端部に設けられた内視鏡の撮像装置を例に説明したが、これに限定されることなく、レンズ装置を着脱自在な撮像装置、携帯電話に内蔵された撮像装置、表示モニタレスの撮像装置、ネットワークを介して操作される監視カメラ、デジタルカムコーダおよび顕微鏡に用いられる撮像装置等に適用することができる。

【0179】

また、本発明は、上述した実施の形態および変形例そのままに限定されるものではなく、実施段階では、発明の要旨を逸脱しない範囲内で構成要素を変形して具体化することができる。また、上述した実施の形態に開示されている複数の構成要素を適宜組み合わせることによって、種々の発明を形成することができる。例えば、上述した実施の形態および変形例に記載した全構成要素からいくつかの構成要素を削除してもよい。さらに、各実施の形態および変形例で説明した構成要素を適宜組み合わせてもよい。

10

【0180】

また、明細書または図面において、少なくとも一度、より広義または同義な異なる用語とともに記載された用語は、明細書または図面のいかなる箇所においても、その異なる用語に置き換えることができる。このように、発明の主旨を逸脱しない範囲内において種々の変形や応用が可能である。

20

【符号の説明】

【0181】

- 1 内視鏡システム
- 2 内視鏡
- 3 伝送ケーブル
- 4 操作部
- 5 コネクタ部
- 6 プロセッサ
- 7 表示装置
- 8 光源装置
- 20 撮像装置
- 21, 21a 撮像素子
- 23 受光部
- 24 読み出し部
- 25, 25a パッファ部
- 26, 26a ~ 26c 基準信号生成部
- 27 A / D 変換装置
- 28 タイミング生成部
- 29 ヒステリシス部
- 51 パルス生成部
- 52 信号処理部
- 53 電源電圧生成部
- 61 電源部
- 62 クロック生成部
- 63 プロセッサ制御部
- 64 画像処理部
- 100 挿入部
- 101 先端部
- 230 画素
- 231 光電変換素子

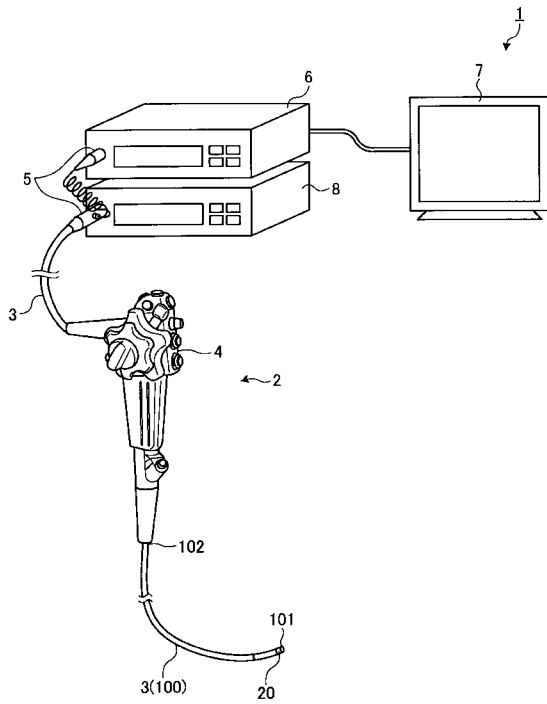
30

40

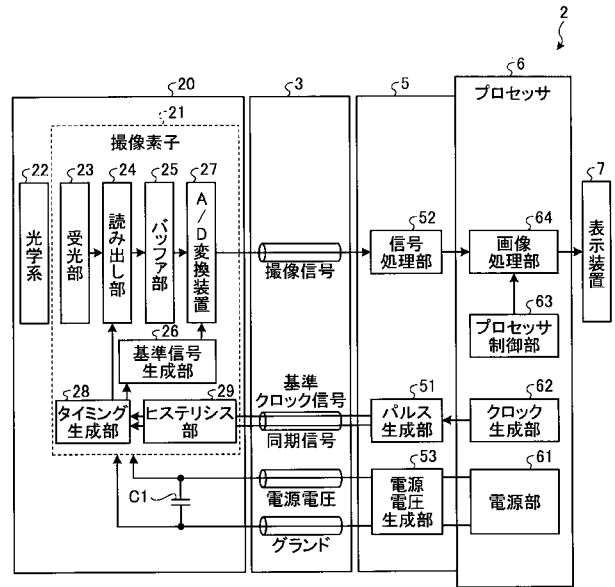
50

2 3 3	電荷変換部	
2 3 4	転送トランジスタ	
2 3 6	画素リセット部	
2 3 7	画素ソースフォロワトランジスタ	
2 3 9	垂直転送線	
2 4 1	垂直走査部	
2 4 2	定電流源	
2 4 3	ノイズ除去部	
2 4 4	列ソースフォロワバッファ	
2 4 5	水平走査部	10
2 4 6	基準電圧生成部	
2 5 2	転送容量	
2 5 3	クランプスイッチ	
2 5 4	列ソースフォロワトランジスタ	
2 5 5	列選択スイッチ	
2 5 6	定電流源	
2 5 7	水平転送線	
2 6 0 , 2 6 0 a	第 1 のグローバル側回路	
2 6 1	スイッチ	
2 6 2	第 1 のトランジスタ	20
2 6 3	第 2 のトランジスタ	
2 6 4	第 3 のトランジスタ	
2 6 5	定電流源	
2 6 6	第 4 のトランジスタ	
2 6 7	定電流源	
2 6 8	第 5 のトランジスタ	
2 6 9	定電流源	
2 7 0 , 2 7 0 a	第 2 のグローバル側回路	
2 8 0 , 2 8 0 a	第 1 の A / D 変換部	
2 9 0	第 2 の A / D 変換部	30
3 0 4	画素相当回路	
3 0 5	ノイズ除去相当回路	
3 0 6	列相当回路	
3 0 7 , 3 0 7 a	バッファ相当回路	
4 0 1	サンプリング回路	
4 0 2	容量性 D A C 回路	
4 0 3	比較回路	
4 0 4 , 4 0 6	補正回路	
4 0 4 a	補正用トランジスタ	
4 0 4 b , 4 0 6 b	バイアス回路	40
4 0 5	制御回路	

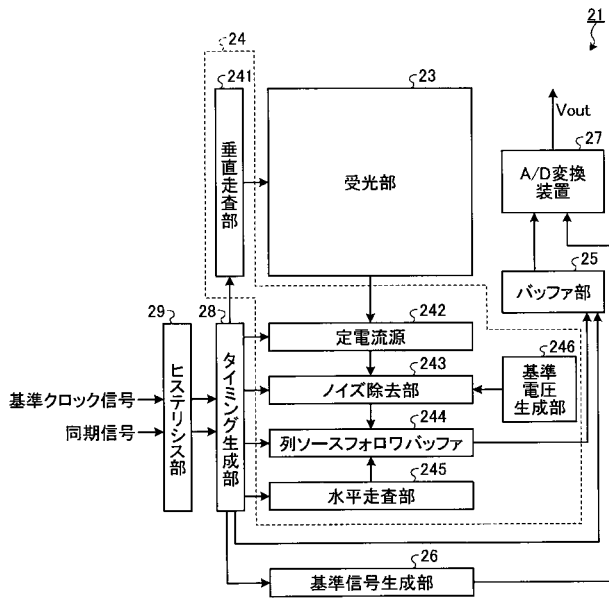
【図1】



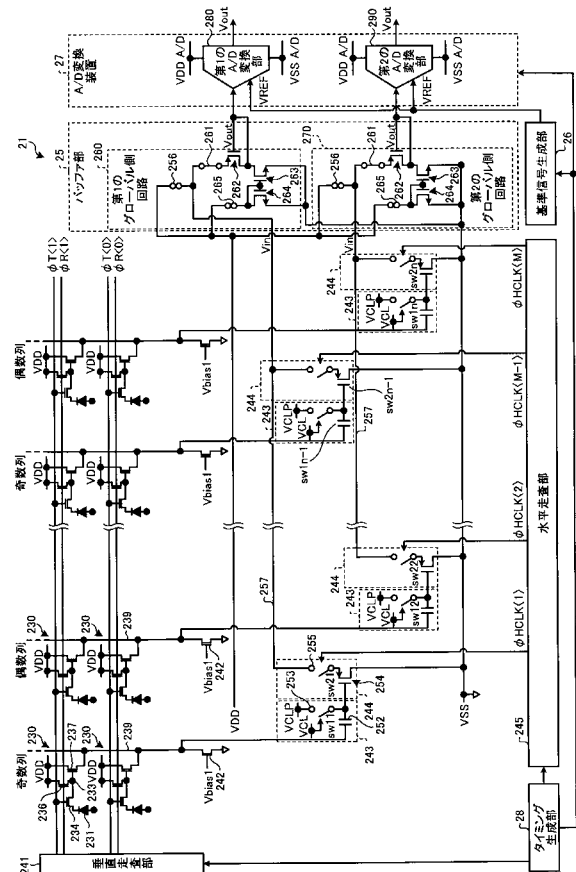
【図2】



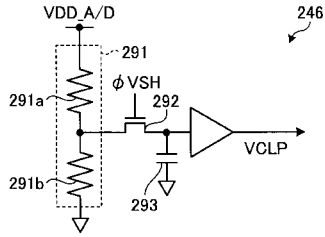
【図3】



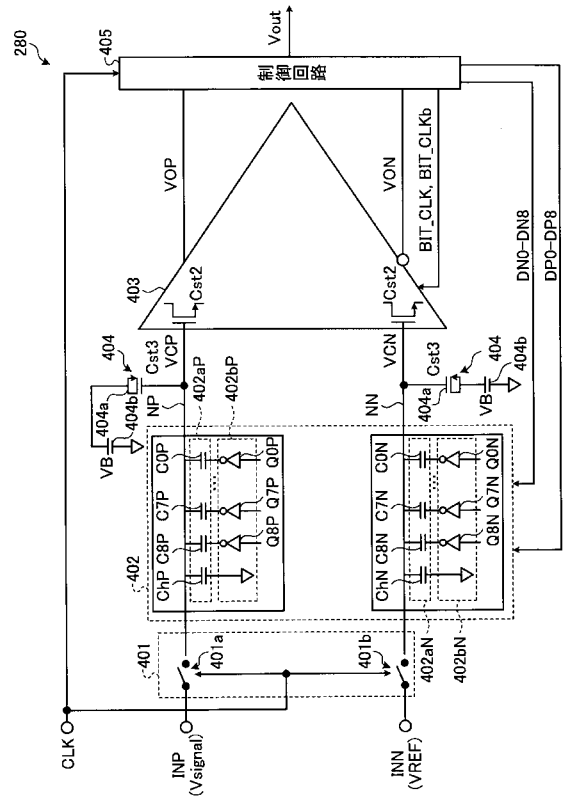
【図4】



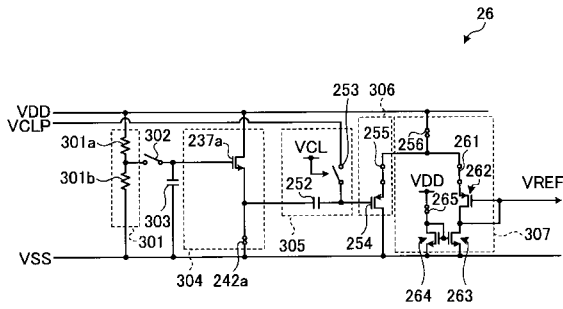
【 図 5 】



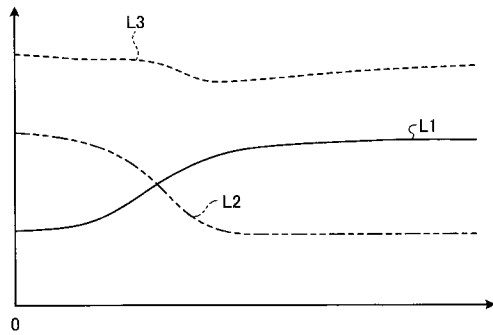
【 図 7 】



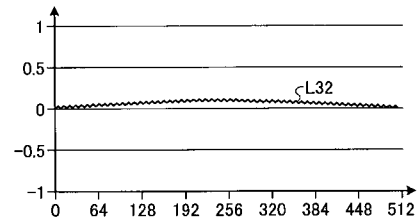
【 図 6 】



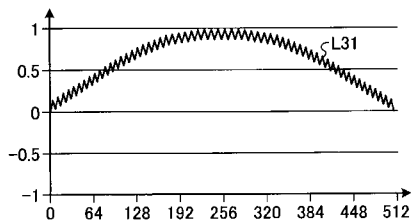
【 図 8 】



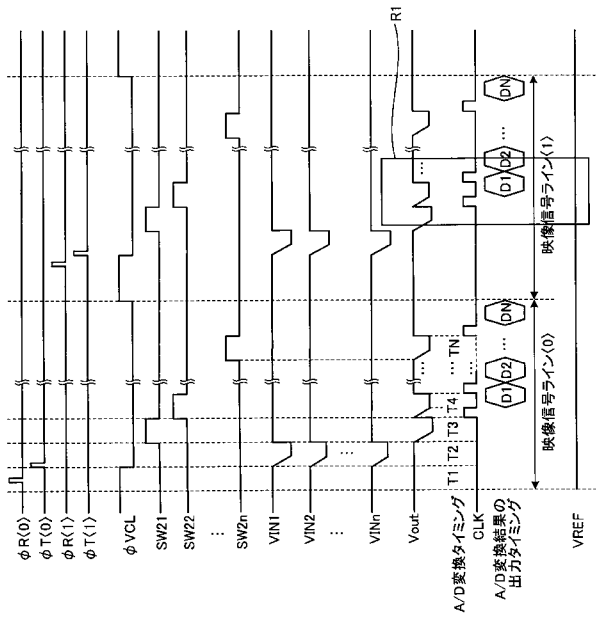
【 図 10 】



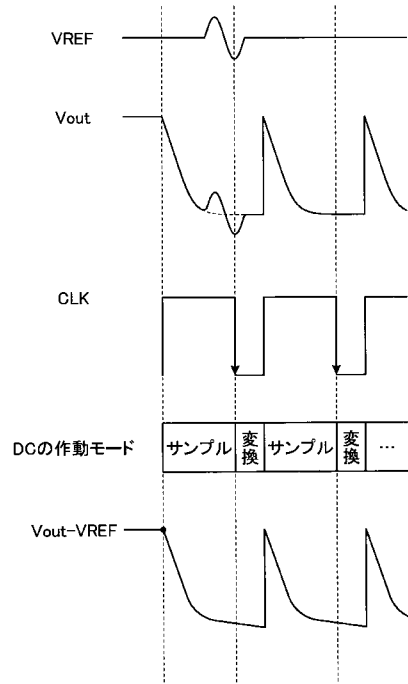
【 図 9 】



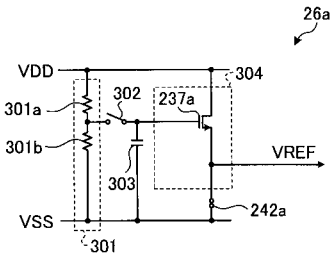
【図11A】



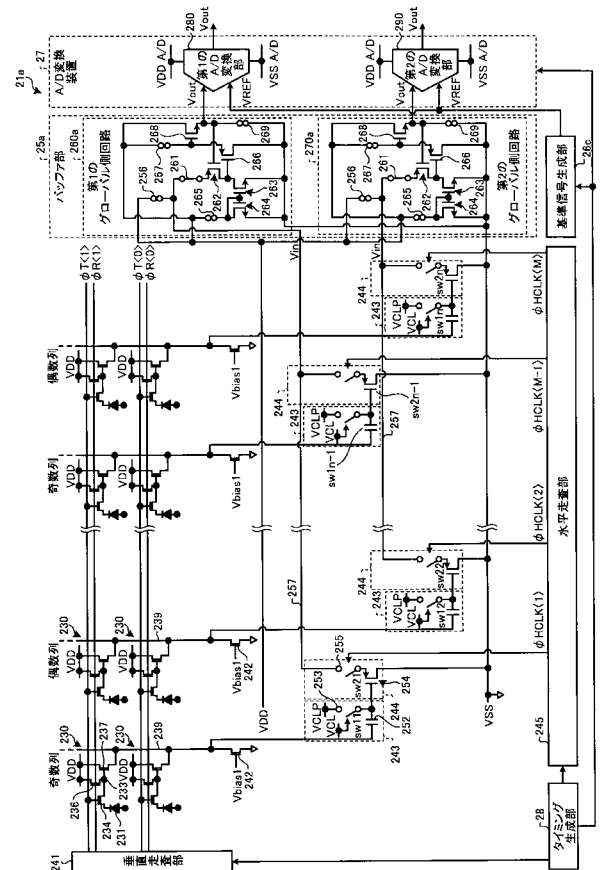
【図11B】



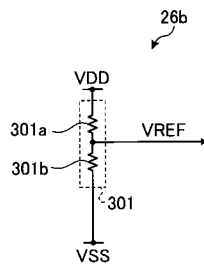
【図12】



【図14】

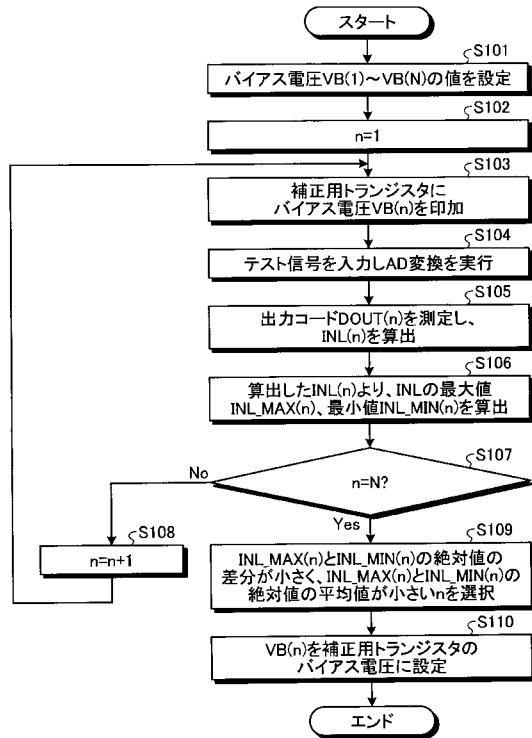


【図13】

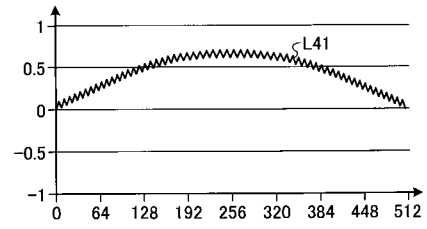




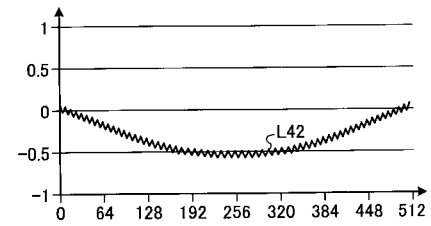
【 図 1 8 】



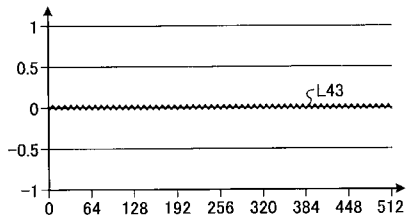
【 図 1 9 A 】



【 図 1 9 B 】



【 図 1 9 C 】



## 【手続補正書】

【提出日】平成30年10月30日(2018.10.30)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

差動入力信号として入力された一対のアナログ信号をサンプリングするサンプリング回路と、

前記サンプリング回路によりサンプリングされた一対のアナログ信号を保持するバイナリ容量を有し、前記バイナリ容量を介して前記一対のアナログ信号に参照信号の信号レベルを反映させることにより一対の電圧信号を発生させる容量回路と、

前記一対の電圧信号が入力される入力トランジスタを有し、前記一対の電圧信号をなす一方の信号と他方の信号とを比較する比較回路と、

前記比較回路の前段側に設けられ、前記入力トランジスタにおける寄生容量の電圧依存性を相殺した前記一対の電圧信号を前記比較回路へ出力する補正回路と、

前記比較回路による比較の結果に基づき、前記バイナリ容量に対応するデジタル信号の各ビットの値を2分探索法により逐次的に判定し、前記デジタル信号の各ビットの値を前記参照信号に反映させる制御回路と、

を備えることを特徴とする逐次比較型A/D変換装置。

【請求項2】

前記補正回路は、

前記寄生容量の電圧依存性を相殺した補正用トランジスタと、

前記補正用トランジスタに所定のバイアス電圧を印加するバイアス回路と、

を有することを特徴とする請求項1に記載の逐次比較型A/D変換装置。

【請求項3】

前記バイアス回路は、前記バイアス電圧が調整可能であることを特徴とする請求項2に記載の逐次比較型A/D変換装置。

【請求項4】

前記補正用トランジスタの容量の電圧依存性は、前記寄生容量の電圧依存と逆特性を有することを特徴とする請求項3に記載の逐次比較型A/D変換装置。

【請求項5】

請求項1に記載の逐次比較型A/D変換装置と、

二次元マトリクス状に配置されてなり、外部から入力される光を受光して光電変換を行って撮像信号を出力する複数の画素を有する撮像素子と、

を備え、

前記撮像素子は、

前記複数の画素の配置における列毎に設けられ、前記撮像信号に含まれるノイズ成分を除去するノイズ除去部と、

前記複数の画素の配置における列毎に設けられ、前記ノイズ除去部が前記ノイズ成分を除去した前記撮像信号を増幅して出力する複数の列ソースフォロワバッファと、

前記複数の列ソースフォロワバッファを順次選択して前記撮像信号を出力させる水平走査部と、

前記水平走査部によって順次選択された前記列ソースフォロワバッファと接続することによってボルテージフォロワ回路を形成し、前記列ソースフォロワバッファから出力された前記撮像信号の電圧に対してインピーダンス変換を行って前記逐次比較型A/D変換装置へ出力するバッファ部と、

を備えることを特徴とする撮像装置。

## 【請求項 6】

前記撮像素子は、

前記画素で生成された前記信号と同相の揺らぎ成分を有する基準信号を生成して前記逐次比較型 A / D 変換装置へ出力する基準信号生成部をさらに備え、

前記逐次比較型 A / D 変換装置は、前記撮像信号および前記基準信号を前記差動入力信号として入力することを特徴とする請求項 5 に記載の撮像装置。

## 【請求項 7】

前記基準信号生成部は、前記画素と等価な構造の素子または回路を有することを特徴とする請求項 6 に記載の撮像装置。

## 【請求項 8】

請求項 5 に記載の撮像装置と、

被検体に挿入可能であり、先端部に前記撮像装置を配置してなる挿入部と、  
を備えることを特徴とする内視鏡。

## 【請求項 9】

差動入力信号として入力された一对のアナログ信号をサンプリングするサンプリング回路と、前記サンプリング回路によりサンプリングされた一对のアナログ信号を保持するバイナリ容量を有し、前記バイナリ容量を介して前記一对のアナログ信号に参照信号の信号レベルを反映させることにより一对の電圧信号を発生させる容量回路と、前記一对の電圧信号が入力される入力トランジスタを有し、前記一对の電圧信号をなす一方の信号と他方の信号とを比較する比較回路と、前記比較回路の前段側に設けられ、前記入力トランジスタにおける寄生容量の電圧依存性を相殺した補正用トランジスタと、前記補正用トランジスタに所定のバイアス電圧を印加するバイアス回路と、を有し、前記一对の電圧信号を前記比較回路へ出力する補正回路と、前記比較回路による比較の結果に基づき、前記バイナリ容量に対応するデジタル信号の各ビットの値を 2 分探索法により逐次的に判定し、前記デジタル信号の各ビットの値を前記参照信号に反映させる制御回路と、を備えることを特徴とする逐次比較型 A / D 変換装置に実行する設定方法であって、

前記バイアス回路が印加する前記バイアス電圧の値を設定する第 1 の設定ステップと、

前記補正用トランジスタに前記第 1 の設定ステップで設定した値の前記バイアス電圧を順次印加する印加ステップと、

前記逐次比較型 A / D 変換装置にテスト信号を順次入力して A / D 変換を実行させる A / D 変換ステップと、

前記 A / D 変換ステップで変換された出力コードを順次測定した測定結果に基づいて、前記出力コード毎の積分非直線誤差を算出する第 1 の算出ステップと、

前記積分非直線誤差に基づいて、前記積分非直線誤差の最大値および最小値の各々を、前記出力コード毎に算出する第 2 の算出ステップと、

前記第 2 の算出ステップにおいて算出された複数の前記最大値と前記最小値の絶対値の差分が小さく、かつ、前記最大値と前記最小値の絶対値の平均値が小さい前記バイアス電圧の値を前記バイアス回路が印加する前記バイアス電圧の値に設定する第 2 の設定ステップと、

を含むことを特徴とする設定方法。

## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2017/032169
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> Int.Cl. H03M1/10(2006.01) i, A61B1/045(2006.01) i, H03M1/38(2006.01) i, H04N5/378(2011.01) i  According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) Int.Cl. H03M1/00-1/88, A61B1/045, H04N5/378  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2017 Registered utility model specifications of Japan 1996-2017 Published registered utility model applications of Japan 1994-2017  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-526179 A (TEXAS INSTRUMENTS JAPAN) 20 June 2013, entire text, all drawings & US 2011/0260899 A1, entire text, all drawings & WO 2011/133193 A1 & CN 102859882 A	1-9
A	JP 2003-504912 A (BURR-BROWN CORPORATION) 04 February 2003, entire text, all drawings & US 6404376 B1, entire text, all drawings & WO 2001/003302 A1	1-9
A	WO 2016/170642 A1 (OLYMPUS OPTICAL CO.) 27 October 2016, entire text, all drawings (Family: none)	1-9
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 17 November 2017		Date of mailing of the international search report 28 November 2017
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer  Telephone No.

国際調査報告		国際出願番号 PCT/J P 2 0 1 7 / 0 3 2 1 6 9									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03M1/10(2006.01)i, A61B1/045(2006.01)i, H03M1/38(2006.01)i, H04N5/378(2011.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03M1/00-1/88, A61B1/045, H04N5/378											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2017年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2017年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2017年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2017年	日本国実用新案登録公報	1996-2017年	日本国登録実用新案公報	1994-2017年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2017年										
日本国実用新案登録公報	1996-2017年										
日本国登録実用新案公報	1994-2017年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	JP 2013-526179 A (日本テキサス・インスツルメンツ株式会社) 2013.06.20, 全文, 全図 & US 2011/0260899 A1, 全文, 全図 & WO 2011/133193 A1 & CN 102859882 A	1-9									
A	JP 2003-504912 A (パーブラウン コーポレーション) 2003.02.04, 全文, 全図 & US 6404376 B1, 全文, 全図 & WO 2001/003302 A1	1-9									
A	WO 2016/170642 A1 (オリンパス株式会社) 2016.10.27, 全文, 全図 (ファミリーなし)	1-9									
☐ C欄の続きにも文献が列挙されている。		☐ パテントファミリーに関する別紙を参照。									
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献									
国際調査を完了した日 17.11.2017		国際調査報告の発送日 28.11.2017									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 及川 尚人 電話番号 03-3581-1101 内線 3576	5W 5888								

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

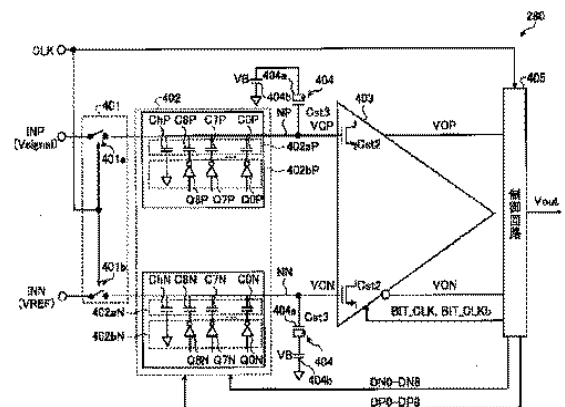
Fターム(参考) 5C024 BX02 CX03 CX11 GY31 HX23 HX29 HX46 HX47  
5J022 AA02 CF01

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	逐次逼近型A / D转换器，成像装置，内窥镜和设定方法		
公开(公告)号	<a href="#">JPWO2018116540A1</a>	公开(公告)日	2018-12-20
申请号	JP2018537891	申请日	2017-09-06
[标]申请(专利权)人(译)	奥林巴斯株式会社		
申请(专利权)人(译)	奥林巴斯公司		
[标]发明人	平出修三 原田靖也 大澤雅人		
发明人	平出 修三 原田 靖也 大澤 雅人		
IPC分类号	H03M1/10 H03M1/38 H04N5/378 A61B1/045		
CPC分类号	A61B1/00009 A61B1/00018 A61B1/045 A61B1/051 H03M1/1057 H03M1/123 H03M1/468 H04N5/378 H03M1/10 H03M1/38 H03M1/802		
FI分类号	H03M1/10.A H03M1/38 H04N5/378 A61B1/045.630		
F-TERM分类号	4C161/CC06 4C161/NN01 4C161/SS03 4C161/SS11 5C024/BX02 5C024/CX03 5C024/CX11 5C024/GY31 5C024/HX23 5C024/HX29 5C024/HX46 5C024/HX47 5J022/AA02 5J022/CF01		
优先权	2016247964 2016-12-21 JP		
其他公开文献	JP6445746B2		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

提供了一种能够防止输出信号的线性度恶化的逐次逼近式A / D转换装置，成像装置，内窥镜和设置方法。逐次逼近A / D转换器27包括具有二进制电容的电容电路402，该二进制电容保持由采样电路401采样的一对模拟信号，以及形成一对电压信号的一个信号和另一个信号。用于比较的比较电路403，用于将消除了比较电路403的输入晶体管中的寄生电容的一对电压信号输出到比较电路403的校正电路404，并将与二进制电容相对应的数字信号的每一位的值划分为2分钟。并且控制电路405通过搜索方法顺序地确定并且将数字信号的每个比特的值反映在参考信号中。



405 Control circuit